

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ НА БАЗЕ ПЛИС
ФИРМЫ XILINX В СРЕДЕ WebPASC ISE

Пособие для студентов 4к. д/о по специальности
013800 “Радиофизика и электроника”

ВОРОНЕЖ
2004

Утверждено научно-методическим советом физического факультета

Составители: Бобрешов А.М., Дыбой А.В.

Пособие подготовлено на кафедре электроники физического факультета
Воронежского государственного университета.

Рекомендуется для студентов 4к. д/о специальности “Радиофизика и
электроника”.

Настоящее пособие служит для изучения основ работы с программируемой логикой фирмы XILINX, освоения пакета программ XILINX WebPack 5.1 и получения практических навыков работы. Фирма XILINX является в настоящее время ведущим мировым производителем программируемых логических интегральных схем, которые пользуются все большей популярностью среди разработчиков цифровой аппаратуры. С другой стороны, универсальность таких схем и возможность многократного перепрограммирования делают их незаменимыми для получения практических навыков в области цифровой электроники. К сожалению, имеющиеся библиографические источники рассчитаны скорее на специалистов, имеющих опыт работы, чем на студентов. Данное пособие призвано частично восполнить этот пробел. В силу ограниченного объема оно не претендует на полноту изложения, однако авторы в первую очередь преследовали другую цель – предоставить читателю необходимый минимум знаний для начала самостоятельной работы.

Данное пособие предназначено для студентов, обучающихся на физическом факультете по специальности “Радиофизика и электроника”.

Содержание

ВВЕДЕНИЕ	6
СЕМЕЙСТВО ПРОГРАММИРУЕМОЙ ЛОГИКИ SPARTAN-II ФИРМЫ XILINX	8
АРХИТЕКТУРА СЕМЕЙСТВА SPARTAN-II.....	8
БЛОКИ ВВОДА-ВЫВОДА	10
<i>Структура БВВ.....</i>	<i>10</i>
<i>Ввод сигналов.....</i>	<i>11</i>
<i>Вывод сигнала.....</i>	<i>12</i>
КОНФИГУРИРУЕМЫЙ ЛОГИЧЕСКИЙ БЛОК.....	13
<i>Структура КЛБ.....</i>	<i>13</i>
<i>Таблица Преобразования</i>	<i>14</i>
<i>Запоминающие элементы.....</i>	<i>14</i>
<i>Арифметическая логика</i>	<i>14</i>
<i>Буферы с тремя состояниями.....</i>	<i>15</i>
<i>Блочная память (Block RAM).....</i>	<i>15</i>
ПРОГРАММИРУЕМАЯ ТРАССИРОВОЧНАЯ МАТРИЦА.....	16
<i>Локальные связи</i>	<i>16</i>
<i>Трассировочные ресурсы общего назначения.....</i>	<i>17</i>
<i>Трассировочные ресурсы для блоков ввода-вывода.....</i>	<i>17</i>
<i>Специальные трассировочные ресурсы.....</i>	<i>18</i>
<i>Глобальные трассировочные ресурсы.....</i>	<i>18</i>
<i>Распределение сигналов синхронизации</i>	<i>18</i>
МАРШРУТ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ НА БАЗЕ ПЛИС	20
СОЗДАНИЕ НОВОГО ПРОЕКТА.....	22
РАБОТА С РЕДАКТОРОМ ПРИНЦИПИАЛЬНЫХ СХЕМ	24
РАБОТА С ТЕКСТОВЫМ РЕДАКТОРОМ	31
ЗАДАНИЕ ТОПОЛОГИЧЕСКИХ И ВРЕМЕННЫХ ОГРАНИЧЕНИЙ ПРОЕКТА	32
СИНТЕЗ ПРОЕКТА	33
РАЗМЕЩЕНИЕ И ТРАССИРОВКА ПРОЕКТА	34
ПРОГРАММИРОВАНИЕ КРИСТАЛЛОВ	35
ОПИСАНИЕ ЛАБОРАТОРНОГО МАКЕТА.....	39
ПРИЛОЖЕНИЕ 1. БИБЛИОТЕКА ВСТРОЕННЫХ КОМПОНЕНТОВ WEBPACK ISE.....	40
АРИФМЕТИЧЕСКИЕ ФУНКЦИИ.....	40
БУФЕРЫ	41
КОМПАРАТОРЫ	42

СЧЕТЧИКИ	43
ДЕКОДЕРЫ	44
ТРИГГЕРЫ	45
ТРИГГЕРЫ-ЗАЩЕЛКИ	45
ФУНКЦИИ ВВОДА/ВЫВОДА	45
ЛОГИЧЕСКИЕ ПРИМИТИВЫ.....	46
ЭЛЕМЕНТЫ ПАМЯТИ	47
МУЛЬТИПЛЕКСОРЫ.....	47
СДВИГОВЫЕ РЕГИСТРЫ.....	48
ДРУГИЕ КОМПОНЕНТЫ	49
ЛИТЕРАТУРА	50

Введение

Традиционно считалось, что проектирование даже несложной цифровой аппаратуры нельзя выполнить в сжатые сроки. Если при составлении программного обеспечения для микропроцессоров давно применяются средства ускоренного проектирования, цикл разработки цифровой аппаратуры оставался неизменным и включал несколько последовательных этапов. Сначала нужно разработать принципиальную схему устройства, затем спроектировать и изготовить печатную плату, смонтировать ее и проверить на работоспособность. Поскольку допущенные ошибки выявляются, как правило, во время тестирования, возможно потребуется повторение всего цикла. То же самое потребуется и для обновления версии устройства. До сих пор самым распространенным выходом из данной ситуации было использование однокристальных микрокомпьютеров (микроконтроллеров). Если большинство функций системы возложено на микроконтроллер, обновление сводится к его перепрограммированию. Однако микроконтроллеры способны справиться далеко не с любой задачей. Их нельзя применять там, где требуется быстродействующая обработка данных или многоканальная обработка (например, в цифровых видеосистемах). В таких случаях единственным решением становится использование специализированных сверхбольших интегральных схем (СБИС). Применение таких схем дает хороший результат для решения стандартных, наиболее типичных задач. В то же время проектирование нерегулярных узлов приходилось выполнять на базе схем малой и средней степеней интеграции либо применять специализированные или полузаказные матричные СБИС (МаБИС). В последнем случае требуемая функция закладывается при создании кристалла на заводе-изготовителе, из-за чего резко удорожается и удлиняется цикл проектирования.

Появление программируемых логических интегральных микросхем (ПЛИС) изменило ситуацию. Эволюция ПЛИС начиналась со схем, которые путем программирования позволяли реализовывать нерегулярные части цифровой аппаратуры. С увеличением сложности и емкости ПЛИС их область применения значительно расширилась. Их стали использовать для параллельной обработки данных, построения сверхбыстродействующих вычислителей, а также для прямой замены специализированных СБИС.

Таким образом, применение ПЛИС дает разработчикам следующие преимущества:

- уменьшение количества дискретных элементов на плате, а значит упрощение монтажа, а также повышение надёжности схем и компактности;

- повышение быстродействия сложных схем, что достигается за счет отсутствия монтажных соединений;
- что наиболее важно, развитие теоретических методов в электронике позволяет на современном этапе радикально упростить и ускорить разработку принципиальной схемы устройства. В то же время, совершенствование ПЛИС позволяет легко воплощать даже очень сложные схемы;
- алгоритмы обработки данных, которые допускают распараллеливание (а таких большинство), могут выполняться на базе ПЛИС быстрее, чем с помощью микропроцессоров. По скорости обработки данных некоторые современные семейства ПЛИС могут конкурировать с мультипроцессорными системами;
- в силу того что большинство современных ПЛИС могут быть перепрограммированы непосредственно в системе, то есть без извлечения микросхемы из готового устройства, становится возможным исправлять ошибки в уже готовых проектах, выпускать новые версии оборудования подобно тому, как выпускаются новые версии компьютерных программ;
- разработка специализированных СБИС окупает себя только для очень крупных проектов. В то же время не очень дорогие современные ПЛИС по стоимости сопоставимы с заказными схемами. Таким образом, применение ПЛИС может существенно снизить стоимость разработки, а следовательно и готового изделия;
- разработка проектов на базе ПЛИС требует меньше времени, чем разработка заказных схем. В настоящее время разработчики СБИС широко используют программируемую логику для первоначальной отладки проектов.

На сегодняшний день более 80% используемых ПЛИС выпускает несколько крупных производителей. Архитектуры предлагаемых им семейств имеют много общего, поскольку представления об оптимальной архитектуре базируется на существующих методах проектирования. Кроме того, производители стремятся адаптировать свою продукцию к широкому классу практически решаемых задач. Остановим свой выбор на семействе Spartan-II, выпускаемом фирмой Xilinx. В настоящее время это семейство представляет большой интерес для разработчиков. Оно включает схемы, логическая емкость которых лежит в пределах от 15.000 до 200.000 эквивалентных вентилей. Это позволяет реализовывать достаточно сложные проекты на одном кристалле, например, высокочастотные цифровые фильтры, устройства для реализации быстрого преобразования Фурье или Wavelet-

преобразований, цифровые приемники и передатчики, даже микроконтроллеры (так называемые Soft-процессоры). Для понимания принципов работы ПЛИС остановимся на архитектуре семейства Spartan-II. Более подробную информацию можно получить на сайте производителя <http://www.xilinx.com>

Семейство программируемой логики SPARTAN-II фирмы XILINX

Архитектура семейства SPARTAN-II

Семейство SPARTAN-II имеет архитектуру, характерную для FPGA фирмы XILINX. Представители этого семейства могут применяться в проектах как альтернатива заказным или полужаказным интегральным схемам емкостью до 200.000 системных вентилей.

Некоторые характеристики семейства приведены ниже:

- емкость от 15 000 до 200 000 системных вентилей;
- системная производительность до 200 МГц;
- поддержка 16 наиболее распространенных стандартов ввода-вывода;
- четыре встроенных модуля автоподстройки задержек (DLL - delay-locked loop) для расширенного управления тактовыми сигналами как внутри ПЛИС, так и в пределах печатной платы или устройства;
- четыре глобальные сети распределения тактовых сигналов с малыми разбегами фронтов;
- 24 локальные тактовые сети;
- встроенная блочная память, каждый блок конфигурируется как синхронная двухпортовая RAM ёмкостью 4 Кбит;
- специальная логика ускоренного переноса для высокоскоростных арифметических операций;
- конфигурация кристалла хранится во внешнем ПЗУ и загружается в ПЛИС после включения питания.

Основными особенностями архитектуры кристаллов семейства Spartan-II являются гибкость и регулярность. Кристаллы состоят из матрицы КЛБ (Конфигурируемый Логический Блок), которая окружена программируемыми блоками ввода-вывода (БВВ). Все соединения между основными элементами (КЛБ, БВВ) осуществляются с помощью набора иерархических высокоскоростных программируемых трассировочных ресурсов. Изобилие таких ресурсов позволяет реализовывать на ПЛИС

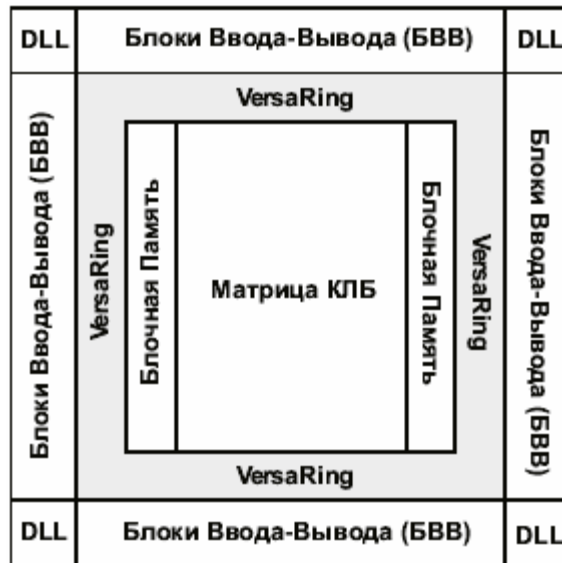


Рис.1. Структурная схема Spartan-II

семейства Spartan-II даже самые насыщенные и сложные проекты. Кристаллы семейства Spartan-II производятся на основе статического ОЗУ (Static Random Access Memory – SRAM), поэтому функционирование кристаллов определяется загружаемыми во внутренние ячейки памяти конфигурационными данными.

Структурная схема Spartan-II показана на рис.1.

Основными программируемыми элементами матрицы являются:

- Конфигурируемый Логический Блок - КЛБ (в английском варианте Configurable Logic Block – CLB). КЛБ являются основными элементами, на основе которых реализуется вся логика
- Блок Ввода-Вывода - БВВ (в английском варианте Input/Output Blocks - IOB). БВВ осуществляют интерфейс между контактами микросхемы и КЛБ.
- Соединение между КЛБ осуществляется с помощью трассировочных матриц – ТМ. Это матрица программируемых транзисторных двунаправленных переключателей, расположенных на пересечении горизонтальных и вертикальных линий связи. Каждый КЛБ окружен локальными линиями связи (VersaBlockTM), которые позволяют осуществить соединения с матрицей ТМ.
- Интерфейс ввода-вывода VersaRing создает дополнительные трассировочные ресурсы по периферии кристалла. Эти трассы улучшают общую “трассируемость” устройства и возможности

трассировки после закрепления электрических цепей к конкретным контактам.

Архитектура Spartan-II также включает следующие элементы, которые соединяются с матрицей ТМ:

- Специальные блоки памяти (BRAMs) размером 4096 бит каждый.
- Четыре модуля автоподстройки задержек (DLL), предназначенных для компенсации задержек тактовых сигналов, а также деления, умножения и сдвига фазы тактовых частот.
- Буферы с тремя состояниями (BUFT), которые расположены вблизи каждого КЛБ и управляют горизонтальными сегментированными трассами.

Коды, записанные в ячейки статической памяти, управляют настройкой логических элементов и коммутаторами трасс, осуществляющих межсоединения в схеме. Эти коды загружаются в ячейки после включения питания и могут перезагружаться в процессе работы, если необходимо изменить реализуемые микросхемой функции.

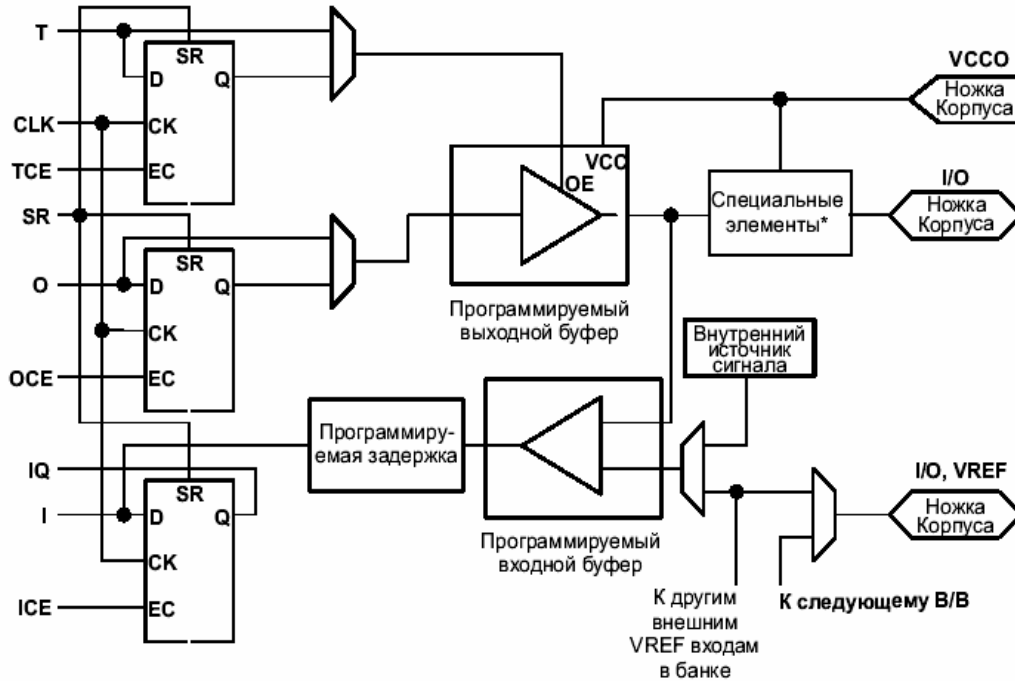
Блоки ввода-вывода

Отличительным свойством БВВ семейства Spartan-II является поддержка широкого спектра стандартов сигналов ввода-вывода, что позволяет сопрягать Spartan-II с большинством быстродействующих элементов памяти и шинных интерфейсов.

Структура БВВ

На рис.2 представлена структурная схема БВВ. Блок содержит три запоминающих элемента, функционирующих либо как D-триггеры, либо как триггеры-защелки. Каждый БВВ имеет входной сигнал синхронизации (CLK), распределенный на три триггера и независимые для каждого триггера сигналы разрешения тактирования (Clock Enable - CE). Кроме того, на все триггеры заведен сигнал Сброса/Установки (Set/Reset - SR). Для каждого триггера этот сигнал может быть сконфигурирован независимо как синхронная установка (Set), синхронный сброс (Reset), асинхронная предустановка (Preset) или асинхронный сброс (Clear). Входные и выходные буферы, а также все управляющие сигналы в БВВ допускают независимый выбор полярности. Данное свойство не отображено на блок-схеме БВВ, но контролируется программой проектирования. По выбору к каждому контакту может подключаться:

- внутренний резистор, соединенный с земляной шиной (pulldown);



*Специальные элементы включают:

- Программируемый резистор, соединенный с земляной шиной (pull-down)
- Программируемый резистор, соединенный с шиной питания (pull-up)
- Маломощная схема удержания последнего состояния (week - keeper)
- Цели защиты от перенапряжения и электростатического разряда

Рис.2 Структура блока ввода-вывода Spartan-II

- внутренний резистор, соединенный с шиной питания (pullup);
- маломощная схема удержания последнего состояния (week - keeper).

Ввод сигналов

Входной сигнал БВВ может быть протрассирован либо непосредственно к блокам внутренней логики, либо через входной триггер. Кроме того, между выходом буфера и D-входом триггера может быть подключен элемент задержки, компенсирующий набег фаз при распространении сигналов между контактами. Каждый входной буфер может быть сконфигурирован таким образом, чтобы удовлетворять одному из стандартов ввода-вывода, поддерживаемых устройством. К каждому входу после окончания процесса конфигурирования могут быть, по выбору, подключены внутренние резисторы (либо pull-up, либо pulldown). Номинал этих резисторов лежит в пределах 50 - 150 КОм.

Вывод сигнала

Выходной сигнал проходит через буфер с тремя состояниями, выход которого соединен непосредственно с контактом. Сигнал может быть протрассирован на вход буфера с тремя состояниями либо непосредственно от внутренней логической структуры, либо через выходной триггер блока ввода-вывода. Управление буфером с тремя состояниями также может осуществляться либо непосредственно от внутренней логической структуры, либо через специальный триггер БВВ, который позволяет создать синхронное управление сигналом разрешения и запрещения для буфера с тремя состояниями. Каждый такой выходной каскад рассчитан на втекающий ток до 48 мА и вытекающий ток до 24 мА. Программирование мощности и скорости нарастания сигнала выходного каскада позволяет минимизировать переходные процессы в шинах. По выбору к каждому выходу может быть подключена схема week-keeper. Если данная цепь активирована (задаётся пользователем на этапе создания схемы), то она следит за напряжением на контакте микросхемы и создает слабую нагрузку для входного сигнала, подключенную либо к "земле" (если на входе уровень логического нуля), либо к источнику питания (если на входе уровень логической единицы). Если контакт подключен к нескольким источникам сигнала, эта цепь удерживает уровень входного сигнала в его последнем состоянии, при условии, что все источники были переведены в состояние с высоким импедансом. Поддержание таким путем одного из допустимых логических уровней позволяет ликвидировать неопределённость уровня шины.

Конфигурируемый логический блок

Структура КЛБ

Базовым элементом КЛБ является логическая ячейка - ЛЯ (Logic Cell - LC). ЛЯ состоит из 4-х входного функционального генератора, логики ускоренного переноса и запоминающего элемента. Выход каждого функционального генератора каждой логической ячейки подсоединен к

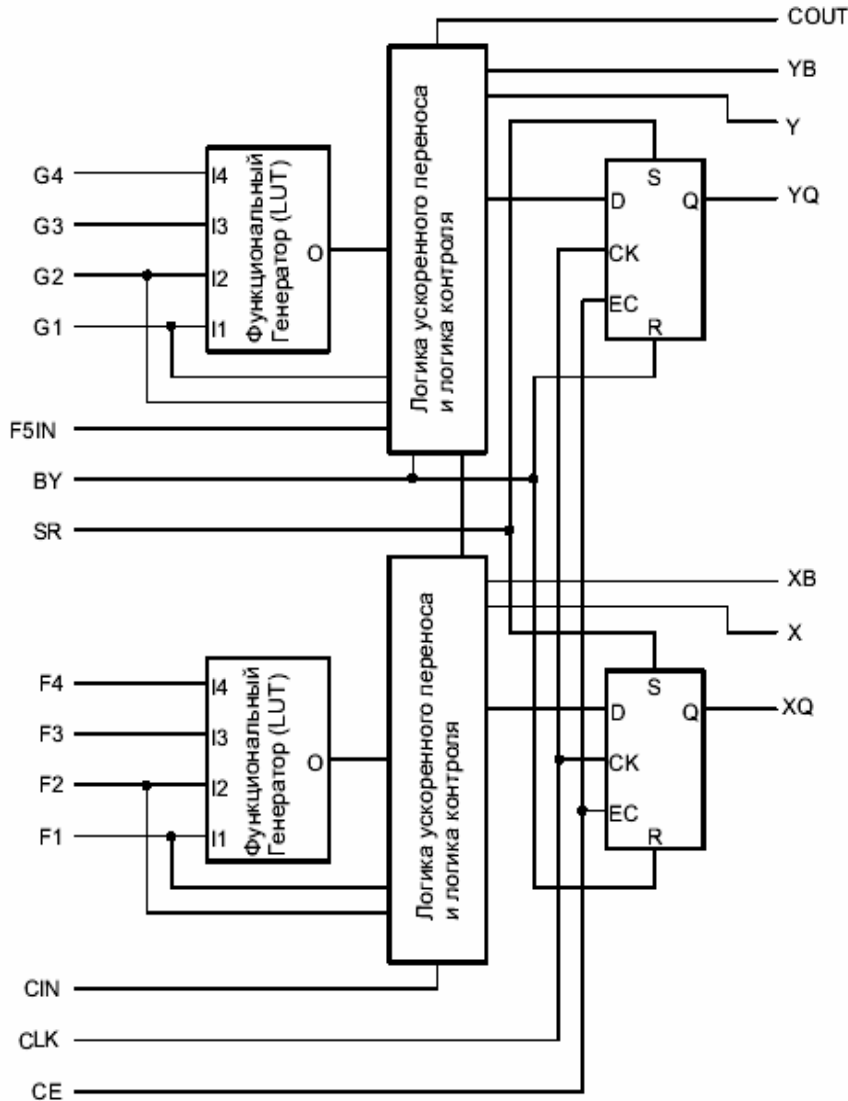


Рис. 3 Секция КЛБ семейства Spartan-II

выходу КЛБ и к D-входу триггера. Каждый КЛБ серии Spartan-II содержит четыре логические ячейки, организованные в виде двух одинаковых секций (Slice), Одна секция пока зане на рис. 3. В дополнение к четырем базовым логическим ячейкам, КЛБ серии Spartan-II содержит логику, которая

позволяет комбинировать ресурсы функциональных генераторов для реализации функций от пяти или шести переменных. Таким образом, при оценке числа эквивалентных системных вентилях для микросхем семейства Spartan-II каждый КЛБ приравняется к 4,5 ЛЯ.

Таблица Преобразования

Функциональные генераторы реализованы в виде 4-х входных таблиц преобразования (Look-Up Table -LUT). Кроме использования в качестве функциональных генераторов, каждый LUT-элемент может быть также использован как синхронная память типа RAM размерностью 16x1 бит. Более того, из двух LUT-элементов в рамках одной секции можно реализовать синхронную RAM-память размерностью 16x2 бита или 32x1 бит, либо двухпортовую синхронную RAM-память размерностью 16x1 бит. На LUT-элементе микросхемы Spartan-II может быть реализован 16-ти битовый сдвиговый регистр, который идеально подходит для захвата высокоскоростных или пакетных потоков данных. Этот режим может также использоваться для запоминания данных в приложениях цифровой обработки сигналов.

Запоминающие элементы

Запоминающие элементы в каждой секции КЛБ Spartan-II могут конфигурироваться как динамические триггеры (чувствительные к фронту сигнала) D-типа, либо как триггеры-защелки, чувствительные к уровню сигнала. D-вход триггера может управляться либо от функционального генератора в рамках той же секции КЛБ, либо непосредственно от входов данной секции КЛБ, минуя функциональные генераторы. Кроме сигналов синхронизации (Clock) и разрешения синхронизации (Clock Enable - CE) в каждой секции КЛБ есть сигналы синхронной установки (Set) и сброса (Reset). Обозначение этих сигналов –SR и BU соответственно. Сигнал SR переводит запоминающий элемент в состояние, определённое для него в конфигурационных данных, а сигнал BU –в противоположное состояние. Эти же сигналы могут быть использованы также в качестве асинхронной предустановки (Preset) и очистки (Clear). Все сигналы управления могут быть независимо проинвертированы. Они заведены на оба триггера в рамках конкретной секции КЛБ.

Арифметическая логика

Каждая ЛЯ содержит специальную логику ускоренного переноса, которая обеспечивает наилучшую реализацию на ПЛИС различных арифметических функций. КЛБ содержит две отдельные цепи переноса - по одной на каждую секцию. Размерность цепи переноса - два бита на КЛБ.

Арифметическая логика включает в себя элемент, реализующий функцию исключающего ИЛИ (XOR), который позволяет реализовать однобитный сумматор в одной логической ячейке. В каждой логической ячейке имеется элемент, реализующий функцию И, который предназначен для построения быстродействующих умножителей. Специальные трассы логики ускоренного переноса могут также использоваться для каскадного включения функциональных генераторов при необходимости создания функций с большим количеством входных переменных.

Буферы с тремя состояниями

Каждый КЛБ Spartan-II содержит два буфера с тремя состояниями, которые нагружены на внутренние шины. Каждый буфер BUFT имеет независимый вход управления третьим состоянием и независимый входной контакт.

Блочная память (Block RAM)

В FPGA Spartan-II встроена особая блочная память (Block SelectRAM) большой ёмкости. Она создана в дополнение к распределенной памяти небольшой ёмкости (SelectRAM), реализованной на таблицах преобразования

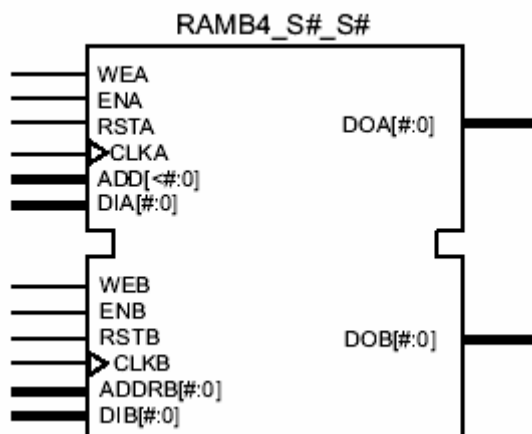


Рис. 4 Блок памяти SelectRAM

(Look Up Table RAM). Микросхема XC2S50, установленная на макетной плате, имеет 8 таких блоков, каждый из которых имеет емкость 4096 бит. Каждый блок памяти, как показано на рис. 4, - это полностью синхронная двухпортовая RAM с независимым управлением для каждого порта. Размерность шины данных для обеих портов может быть сконфигурирована независимо (1, 2, 4, 8 или 16 бит), что позволяет создавать преобразователи размерности шины. В кристаллах Spartan-II созданы специальные трассировочные ресурсы для связи блочной памяти с блоками CLB и другими блоками блочной памяти.

Программируемая трассировочная матрица

Трассировочная матрица семейства Spartan-II имеет сложную иерархическую структуру. Можно выделить локальные связи, трассировочные ресурсы общего назначения, глобальные трассировочные ресурсы, специальные трассировочные ресурсы и трассировочные ресурсы для блоков ввода-вывода.

Локальные связи

Структура локальных трассировочных ресурсов изображена на рис. 5. Здесь присутствует три типа соединений:

- Связи между таблицами преобразования (LUT), триггерами и главной трассировочной матрицей
- Внутренние обратные связи КЛБ (CLB), которые создают высокоскоростные связи с таблицами преобразования (LUT) в рамках одного КЛБ, и позволяют соединять их в виде цепочек с минимальными задержками распространения сигналов
- Прямые трассы, которые создают высокоскоростные соединения



Рис. 5. Локальные трассировочные ресурсы

с соседними по горизонтали КЛБ, избегая при этом больших задержек, присущих трассам главной трассировочной матрицы.

Трассировочные ресурсы общего назначения

Большинство связей в кристаллах Spartan-II реализуются с помощью трассировочных ресурсов общего назначения и, следовательно, большая часть ресурсов межсоединений связана с этим типом трассировочной иерархии. Трассировочные ресурсы общего назначения расположены в виде горизонтальных и вертикальных трассировочных каналов и размещены в непосредственной близости от строк и столбцов матрицы, образованной блоками КЛБ. Ниже перечислены эти ресурсы:

- Примыкающая к каждому КЛБ главная трассировочная матрица – ГТМ. ГТМ– это матрица переключателей, с помощью которых коммутируются горизонтальные и вертикальные трассы и посредством которых блоки КЛБ получают доступ к трассировочным ресурсам общего назначения
- ГТМ связана в каждом из четырех направлений с соседней ГТМ посредством 24-х трасс одинарной длины
- 96 буферизованных НЕХ-линий трассируют ГТМ сигналы к шести другим ГТМ в каждом из четырех направлений. НЕХ-линии организованы в виде зигзагообразных линий. НЕХ-линии могут подключаться к источникам сигнала только в своих конечных точках или срединных (три блока от источника). Одна третья часть НЕХ-линий является двунаправленными, в то время как остальные – однонаправленные.
- 12 длинных линий являются буферизованными, двунаправленными линиями, распространяющими сигналы в микросхеме быстро и эффективно. Вертикальные длинные линии имеют протяженность равную полной высоте кристалла, а горизонтальные длинные линии – полной ширине.

Трассировочные ресурсы для блоков ввода-вывода

Кристалл Spartan-II имеет дополнительные трассировочные ресурсы, расположенные по периферии всей микросхемы. Эти трассировочные ресурсы формируют добавочный интерфейс между блоками КЛБ и блоками БВВ. Эти дополнительные ресурсы, называемые VersaRing, улучшают возможности закрепления сигналов за контактами и переназначения уже сделанного закрепления, если это требование накладывается расположением проводников на печатной плате. При этом сокращается время изготовления всего проекта, т. к. изготовление и проектирование печатной платы можно выполнять одновременно с проектированием FPGA.

Специальные трассировочные ресурсы.

Некоторые классы сигналов требуют наличия специальных трассировочных ресурсов для максимизации быстродействия. В устройстве Spartan-II специальные трассировочные ресурсы создавались для двух классов сигналов:

- Горизонтальные трассировочные ресурсы создавались для реализации в микросхеме шин с тремя состояниями. Четыре разделенные линии шин реализованы для каждой строки КЛБ, позволяя организовывать сразу несколько шин в пределах одной строки
- Две специальные линии для распространения сигналов быстрого переноса к прилегающему КЛБ в вертикальном направлении.

Глобальные трассировочные ресурсы

Глобальные трассировочные ресурсы распределяют тактовые сигналы и другие сигналы с большим коэффициентом разветвления по выходу на всем пространстве кристалла. Кристалл Spartan-II имеет два типа глобальных трассировочных ресурсов, называемых соответственно первичными и вторичными.

Первичные глобальные трассировочные ресурсы представляют собой четыре специальные глобальные сети со специально выделенными входными контактами и связанными с ними глобальными буферами, спроектированными для распределения сигналов синхронизации с высоким коэффициентом разветвления и с минимальными разбегами фронтов. Каждая такая сеть может быть нагружена на входы синхронизации всех КЛБ, БВВ и BlockRAM – блоков микросхемы. Источниками сигналов для этих сетей могут быть только глобальные буферы. Всего имеется четыре глобальных буфера – по одному для каждой глобальной сети.

Вторичные глобальные трассировочные ресурсы состоят из 24 магистральных линий, 12 вдоль верхней кромки кристалла и 12 вдоль нижней. По этим связям может быть распространено до 12-ти уникальных сигналов на колонку по 12 длинным линиям данной колонки. Вторичные ресурсы являются более гибкими, чем первичные, т.к. эти сигналы, в отличие от первичных, могут трассироваться не только до входов синхронизации.

Распределение сигналов синхронизации

Как было сказано выше, для распределения сигналов синхронизации используются четыре специальные глобальные сети. В микросхему встроено четыре глобальных буфера. Эти буферы через первичные глобальные сети могут подводить сигналы синхронизации на любой тактовый вход. Для каждого глобального буфера имеется соответствующий, примыкающий к

нему контакт микросхемы. Сигнал на вход глобального буфера может подаваться как с этих контактов, так и от сигналов, трассируемых ресурсами общего назначения. При распределении тактовых сигналов большое значение играют задержки распространения, которые могут привести к сбоям в синхронизации. Общепринятые методики проектирования исходят из предположения, что задержка распространения тактовых сигналов меньше других характерных задержек в проекте. Использование глобальных шин позволяет удовлетворить этому условию. Кроме того, с каждым глобальным буфером связан модуль цифровой автоподстройки задержки, который может устранять перекос задержек между синхросигналом на входном контакте микросхемы и сигналами на тактовых входах внутренних схем устройства. Каждая DLL может быть нагружена на две глобальные цепи синхронизации. Схема DLL отслеживает сигнал синхронизации на входном контакте микросхемы и тактовый сигнал, распределяемый внутри кристалла, затем автоматически устанавливает необходимую задержку. Дополнительная задержка вводится таким образом, что фронты сигналов синхронизации достигают внутренних триггеров в точности на один период синхронизации позже их прихода на входной контакт. Эта система с обратной связью эффективно устраняет задержку распределения сигналов синхронизации, гарантируя, что фронты синхросигналов на входе микросхемы и на внутренних тактовых входах с большой точностью синхронны. Вдобавок, для устранения задержек, возникающих при распределении тактовых сигналов, DLL создает новые возможности управления функциями синхронизации. Модуль DLL может создавать четыре квадратурные фазы из исходного источника синхросигнала; удваивать частоту синхросигнала или делить эту частоту на 1.5, 2, 2.5, 3, 4, 5, 8 или 16.

Маршрут проектирования цифровых устройств на базе ПЛИС

Создание проектов на базе ПЛИС невозможно без использования систем автоматизированного проектирования (САПР). Среди САПР, поддерживающих семейство Spartan-II, стоит выделить пакет WebPack ISE фирмы Xilinx. Этот продукт является бесплатной версией программного обеспечения ISE Foundation. WebPack обладает практически всеми возможностями коммерческой версии. В нем не поддерживаются кристаллы большой емкости (1.000.000 и более вентилей), однако семейство Spartan-II поддерживается полностью. Для создания цифрового устройства на базе ПЛИС Xilinx необходимо выполнить следующую последовательность операций:

- Создать новый проект, указав семейство, тип ПЛИС и средств синтеза.
- Разработать описание проектируемого устройства в схематехнической, алгоритмической или текстовой форме (то есть с помощью языков описания цифровых схем VHDL, Verilog, ABEL).
- Выполнить синтез устройства.
- Провести проверку проекта методом функционального моделирования. На этом этапе производится моделирование без учета временных задержек, имеющих в реальном проекте. Такой подход позволяет ускорить работу программы моделирования. Кроме того, достоверная информация о временных задержках появляется уже после размещения всего проекта в кристалле. Отладка отдельных функциональных блоков обычно производится на функциональном уровне
- Выполнить размещение и трассировку проекта в кристалл.
- Провести окончательную верификацию проекта методом временного моделирования, то есть моделирования с учетом реальных временных задержек.
- Загрузить конфигурационные данные проекта в кристалл (выполнить программирование ПЛИС).

Операции функционального и временного моделирования не являются обязательными, но позволяют значительно сократить общее время разработки устройства за счет раннего обнаружения возможных ошибок. Для освоения описанного маршрута проектирование необходимо изучить базовые приемы работы с программным обеспечением WebPack ISE.

Для активизации пакета необходимо запустить программу WebPACK Project Navigator. На экране отображается основное окно Навигатора проекта (рис. 6), которое содержит кроме стандартных элементов четыре встроенных окна:

- окно исходных модулей проекта (Sources in Project);
- окно необходимых процессов для выбранного исходного модуля проекта (Processes)
- окно консольных сообщений программных модулей (Console);
- окно редактора текстовых HDL-описаний проекта.

В окне исходных модулей проекта отображается иерархическая структура, состоящая из модулей, в которых содержится описание проектируемого устройства и описание тестовых воздействий, используемых в процессе моделирования. Каждый тип модуля имеет соответствующее графическое обозначение - пиктограмму.

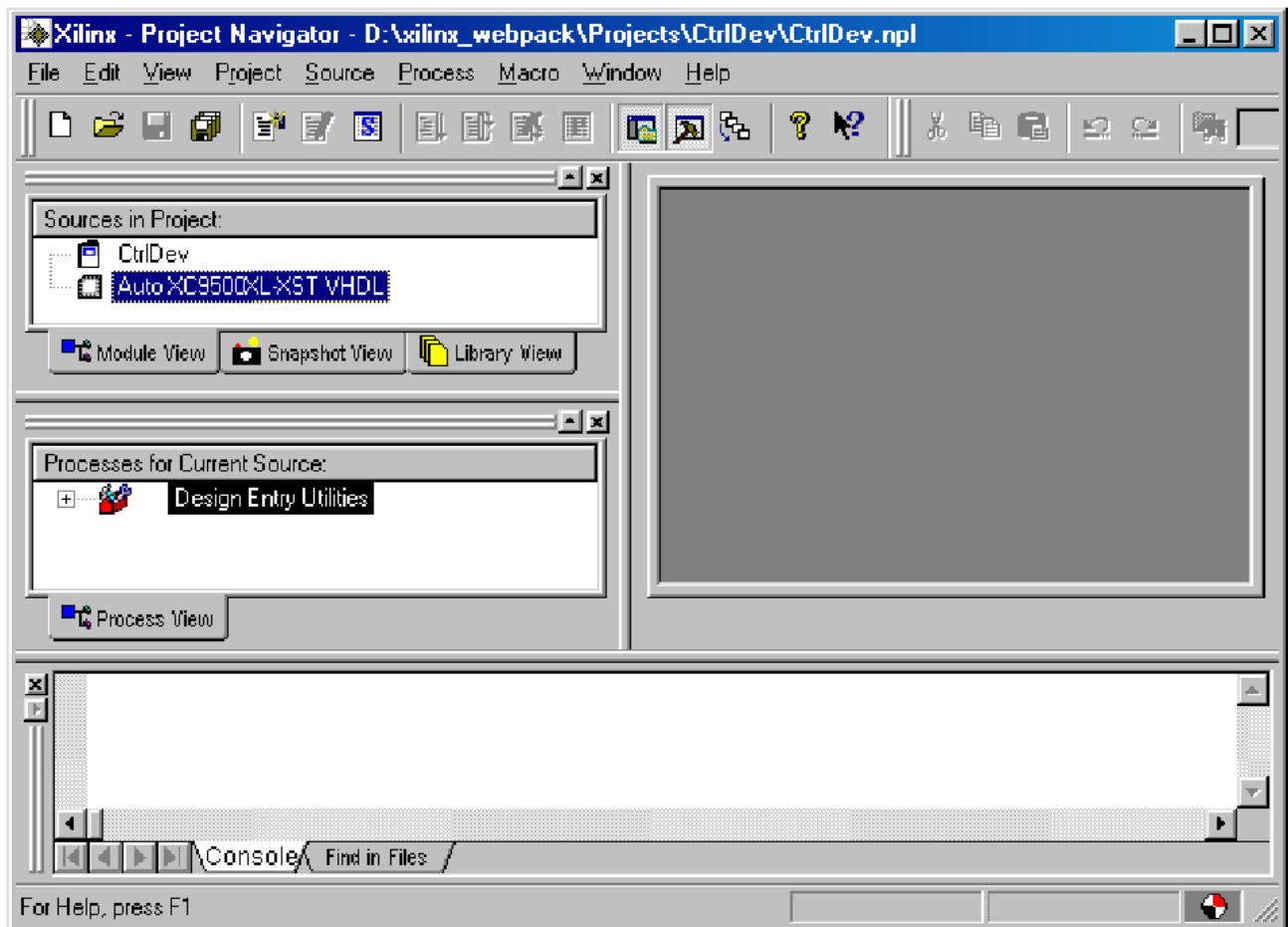


Рис.6. Основное окно Навигатора проекта пакета WebPACK ISE

Окно процессов показывает маршрут обработки выделенного исходного модуля в процессе проектирования устройства. Таким образом, в данном окне подробно отображаются все этапы процесса разработки и программирования ПЛИС. В этом же окне можно вызвать выполнение различных утилит и этапов проектирования. Для этого нужно дважды щелкнуть мышкой на соответствующей строке в окне процессов. Содержимое окна процессов является контекстно-зависимым, то есть в нем отображаются только те пункты, которые имеют отношение к текущему этапу работы. В этом же окне отображаются имена созданных в процессе работы отчетов. Для просмотра отчета следует дважды щелкнуть левой кнопкой мыши на строке с названием отчета.

Окно консольных сообщений предназначено для вывода информации программных модулей пакета, работающих в консольном режиме. Здесь отображаются сообщения об ошибках и предупреждения.

Окно интегрированного текстового редактора становится активным, если для проектируемого устройства или используемых библиотек выбран способ описания на языке HDL.

Внешний вид среды и структура окон может отличаться в зависимости от типа исходных модулей и используемого семейства ПЛИС.

Создание нового проекта

Для создания нового проекта следует выполнить команду File основного меню Навигатора проекта, а затем во всплывающем меню выбрать строку New Project, как показано на рис. 7.

В открывшейся диалоговой панели нужно определить исходные данные, необходимые для создания проекта:

- название проекта;
- диск и каталог, в котором предполагается расположить проект;
- семейство ПЛИС, на базе которого разрабатывается устройство;
- тип кристалла;
- корпус;
- быстроедействие;
- средство синтеза ПЛИС.

После успешного создания проекта необходимо создать модули исходного описания проектируемого устройства. Рассмотрим сначала пример создания схемотехнического модуля.

Для создания нового модуля исходного описания проекта следует нажать кнопку на оперативной панели или выбрать команду New Source из раздела Project основного меню. В открывшейся диалоговой панели,

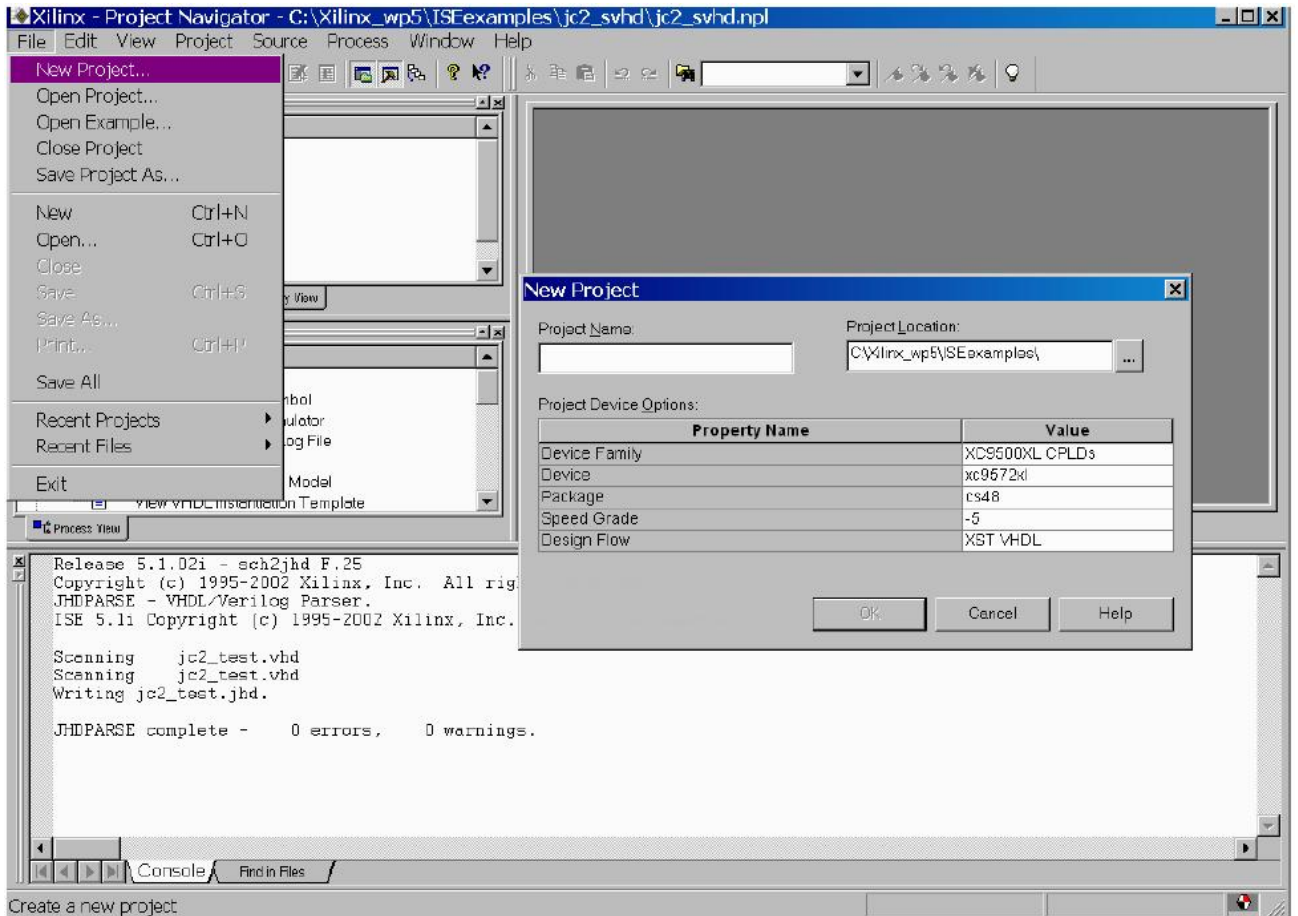


Рис.7. Создание нового проекта в САПР WebPACK ISE

показанной на рис. 8, необходимо выбрать тип нового модуля, задать его имя и указать место расположения файла на диске.

Для разработки принципиальной схемы следует в предложенном списке диалоговой панели выбрать тип создаваемого исходного модуля (например, Schematic), щелкнув на соответствующей строке левой кнопкой мыши. Затем нужно активизировать поле редактирования названия модуля (файла) File Name и ввести текст имени с помощью клавиатуры. Расширение имени файла устанавливается автоматически в соответствии с выбранным типом модуля. Место расположения создаваемого модуля на диске указывается в поле редактирования Location диалоговой панели (рис. 8). По умолчанию предлагается рабочий каталог текущего проекта. Если флаг индикатора Add to project находится в установленном состоянии (поле индикатора помечено маркером), то созданный модуль автоматически включается в состав текущего проекта. Установка значений всех необходимых параметров создаваемого модуля завершается нажатием клавиши "Next" (Далее), которая находится в нижней части диалоговой панели (рис.8). При успешном

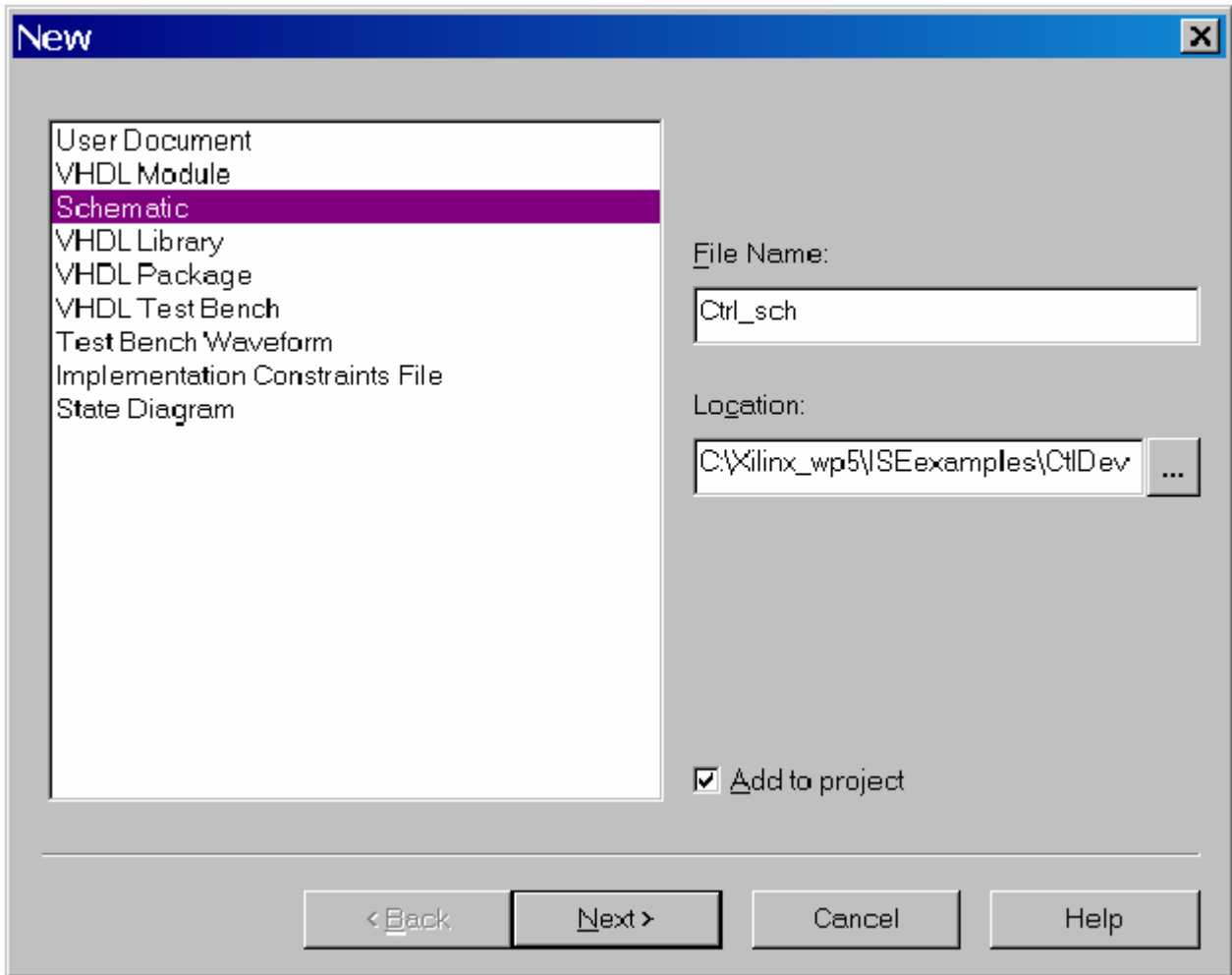


Рис.8. Диалоговая панель установки параметров нового исходного модуля проекта

создании модуля открывается информационная панель, на которой отображаются параметры созданного модуля. Если параметры корректны, следует нажать кнопку Finish, в противном случае нажать кнопку Back и заново произвести редактирование параметров. После нажатия кнопки Finish производится запуск утилиты, которая отвечает за редактирование модулей. Для схемотехнических модулей это графический редактор схем ECS.

Работа с редактором принципиальных схем

Для создания принципиальной схемы устройства необходимо выполнить следующее:

- Размещение элементов электрической схемы
- Соединение элементов с помощью проводников и шин
- Присваивание имен отдельным проводникам и шинам
- Привязка сигналов к внешним выводам ПЛИС

При открытии окна схмотехнического редактора (рис. 9) активизирован режим выбора объекта, установленный по умолчанию. В этом режиме осуществляется выделение, перемещение и удаление элементов схемы, а также их просмотр и редактирование

Для ввода символов компонентов создаваемой схемы следует нажать



кнопку на инструментальной панели или выбрать команду Symbol, которая находится во всплывающем меню Add. Режим ввода символов

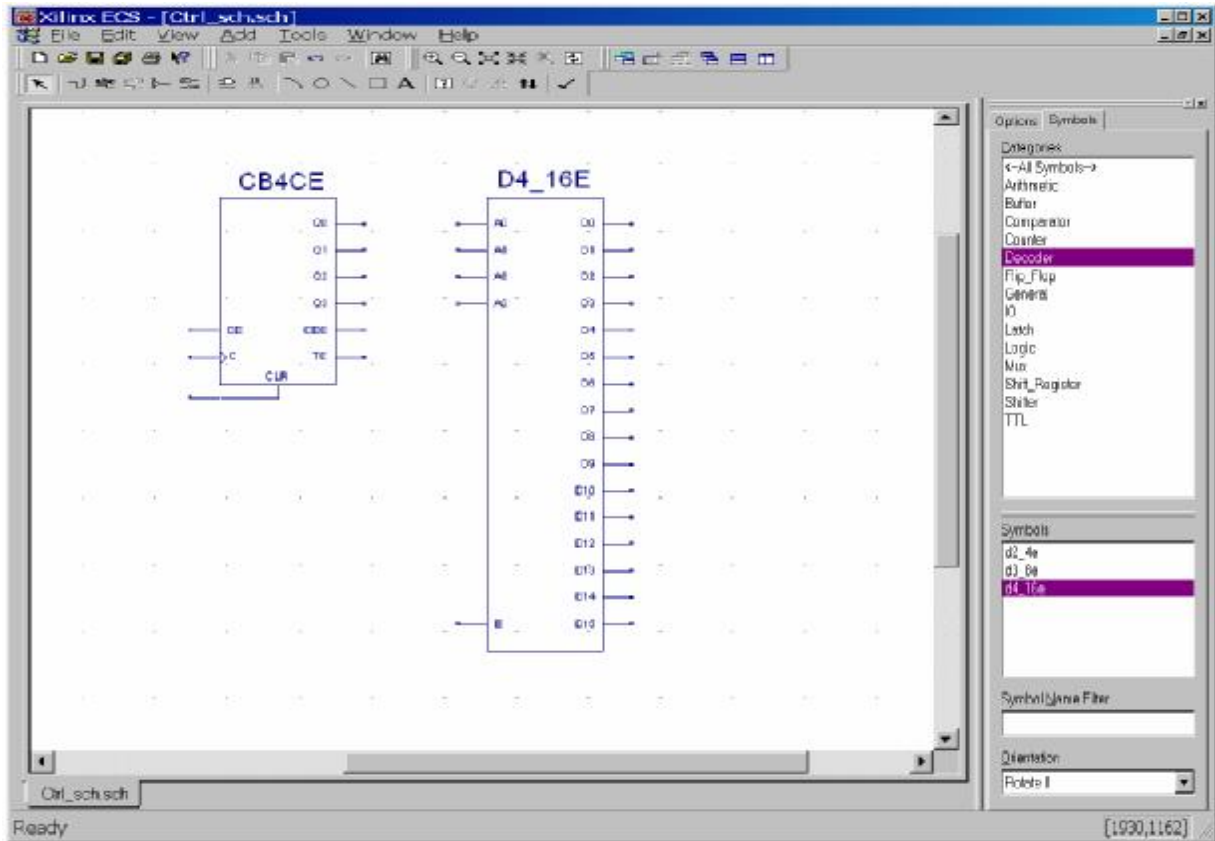





Рис.9. Расположение символов компонентов на

компонентов также автоматически включается при выборе символа в панели библиотек, которая находится в правой части окна ECS (рис. 9). Вначале следует выбрать нужную функциональную группу символов библиотеки компонентов в поле Categories библиотечной панели, поместив курсор на строку с ее названием и щелкнув левой кнопкой мыши. Далее тем же способом в поле Symbols выбирается искомый компонент, после чего курсор мыши следует переместить на поле чертежа. При этом к курсору мыши привязывается контурное изображение выбранного компонента, которое перемещается вместе с указателем. Для получения повернутого и/или зеркального изображения символа на поле чертежа можно воспользоваться контекстным меню, которое выпадает при нажатии правой кнопки мыши,

либо следует нажать соответственно кнопки  и  для поворота и зеркального отражения компонента. Далее следует поместить указатель с изображением элемента в соответствующее место страницы схемы и зафиксировать его, щелкнув левой кнопкой мыши. После ввода символа курсор по-прежнему сохраняет контурное изображение элемента, поэтому, если в схеме используется несколько экземпляров текущего выбранного компонента, то нужно поместить указатель на место расположения следующего компонента и вновь щелкнуть левой кнопкой мыши. Аналогичным образом размещаются на поле чертежа все компоненты схемы. Нажатие клавиши ESC активизирует режим выбора объекта (режим по умолчанию, который был активен при открытии редактора схем). Для соединения компонентов схемы с помощью проводников (Wire) и шин (Bus)

следует нажать кнопку  на инструментальной панели или выбрать команду *Wire* из выпадающего меню *Add*. Формирование цепи начинается с фиксации стартовой точки, которая может располагаться на свободном месте поля чертежа или совпадать с контактом вывода одного из компонентов. Для

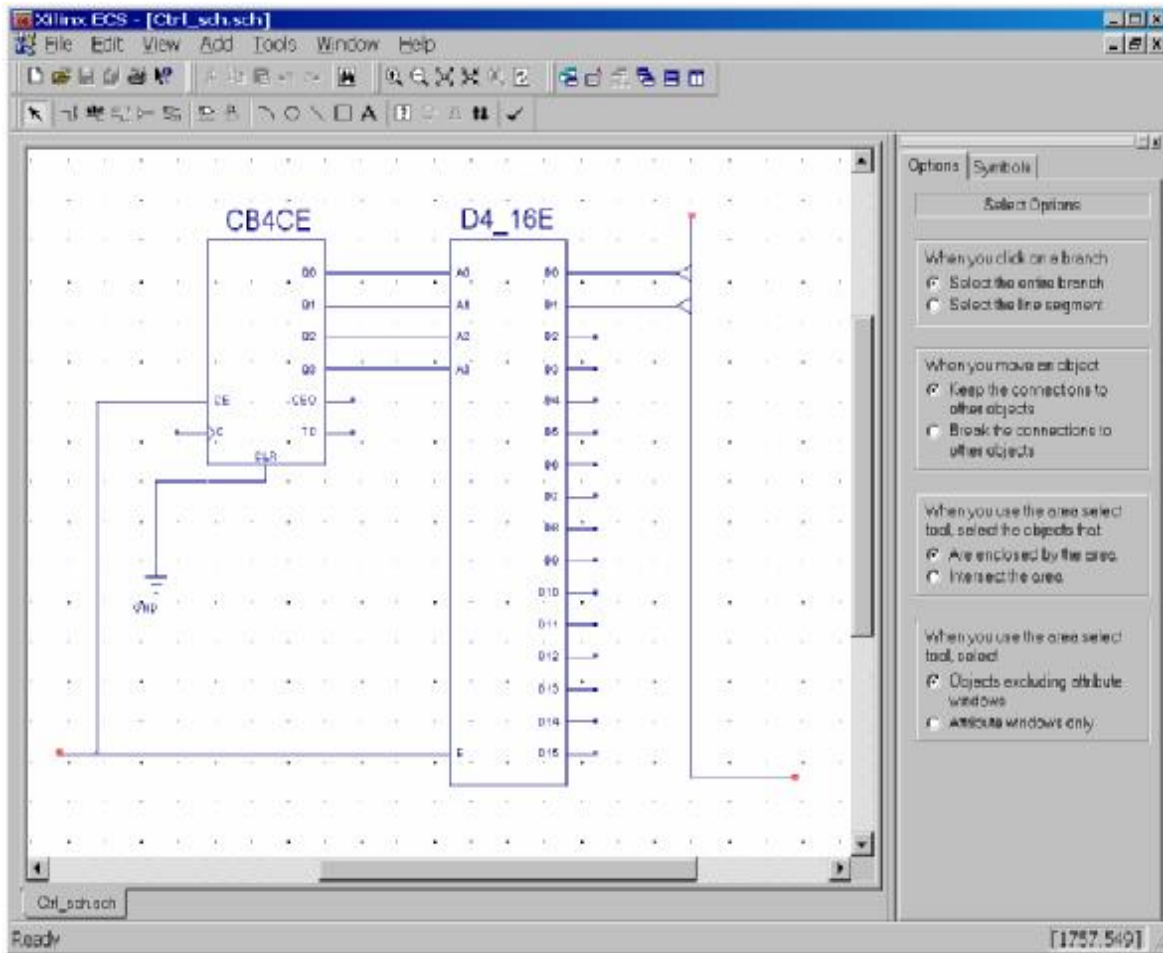





Рис.10. Формирование соединений и шин

этого следует поместить курсор мыши в требуемую точку на поле чертежа и щелкнуть левой кнопкой мыши. Затем следует переместить указатель в позицию, соответствующую точке изгиба, соединения с другим проводником или контактом компонента, а также конечной точке цепи. При этом формируемый сегмент цепи отображается штриховой линией. Фиксация сегмента осуществляется щелчком левой кнопкой мыши в конечной точке, после чего новый фрагмент цепи отображается основной линией. Завершение формирования цепи осуществляется щелчком правой кнопкой мыши после фиксации последнего сегмента цепи. Чтобы добавить новый сегмент к созданной ранее цепи, следует расположить курсор на любом ее участке и щелкнуть левой кнопкой мыши, после чего в этой позиции отобразится точка, отмечающая соединение двух цепей. Далее следует повторить рассмотренные выше действия. Для формирования соединений элементов схемы в виде шин необходимо выполнить следующую последовательность действий. Вначале в режиме ввода проводников создается графическое изображение шины в виде фрагмента одиночной цепи в соответствии с инструкциями, рассмотренными выше. До тех пор, пока не задано название шины в соответствующем формате (с указанием разрядности или перечислением проводников), она отображается сплошной тонкой линией, как одиночная цепь. Затем следует

перейти в режим формирования отводов шины, нажав кнопку  на панели инструментов или выполнив команду *Bus Tap* из выпадающего меню *Add*. При этом к курсору присоединяется изображение отвода шины (рис. 10). Символ отвода шины может быть подключен к вертикальному или горизонтальному сегменту шины. Для получения нужной ориентации

изображения отвода шины следует воспользоваться кнопкой , при каждом нажатии которой осуществляется поворот изображения на девяносто градусов по часовой стрелке. Далее нужно указать точку подключения проводника к шине, расположив на ней курсор и щелкнув левой кнопкой мыши. При этом символ отвода присоединяется к изображению выбранной шины. После формирования всех отводов шины производится их соединение проводниками с соответствующими цепями и элементами схемы. После подключения проводников к отводам шины производится присвоение соответствующих названий этим цепей. При разработке схемы в редакторе ECS необходимо установить названия цепей, которые входят в состав шин или используются для соединений с "внешними" элементами. В состав названия цепи могут входить прописные и строчные буквы латинского алфавита (A - Z, a - z), цифры (0 - 9), а также символ подчеркивания ("_"). Название должно начинаться с буквы или цифры и может состоять только из цифр. Длина названия не должна превышать 255 символов. Чтобы включить

режим ввода названия цепей, следует нажать кнопку  на панели инструментов или выбрать пункт *Add* в основном меню, а

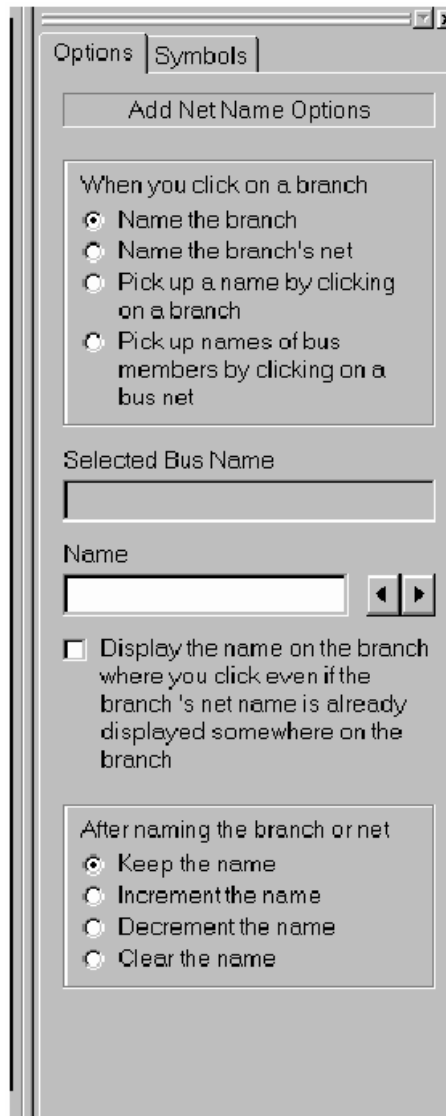



Рис.11 Задание параметров в режиме ввода названий цепей


затем в соответствующем всплывающем меню - строку *Net Name*. В этом режиме панель дополнительных параметров схемотехнического редактора имеет вид, показанный на рис. 11.

В этой панели следует активизировать поле ввода имени цепи (Name), поместив на него курсор и щелкнув левой кнопкой мыши. Название цепи набирается в этом поле с помощью клавиатуры. Введенный текст названия привязывается к курсору мыши при перемещении последнего на поле чертежа схемы. Далее необходимо поместить указатель на изображение соответствующей цепи и щелкнуть левой кнопкой мыши. Если на схеме

расположенных на панели дополнительных параметров. Маркер присоединяется к цепи, которая должна соединяться с одним из внешних выводов. Внутри символа порта отображается название цепи, к которой он подсоединен.

Установка портов для шин производится аналогично.

Для проверки разработанной схемы следует воспользоваться командой *Check Schematic*, которая располагается в выпадающем меню **Tools**, или кнопкой  на инструментальной панели схемотехнического редактора. В процессе верификации осуществляется контроль целостности схемы и выполнения правил электрических соединений. После выполнения проверки открывается окно отчета, в котором отображаются сообщения о возможных ошибках и предупреждения с указанием цепи или компонента, с которыми они связаны.

Заключительным шагом в процессе разработки схемы является ее сохранение в виде файла на диске. Для этого следует использовать команду *Save* из всплывающего меню **File** или кнопку , расположенную на оперативной панели управления. В процессе разработки схемы часто

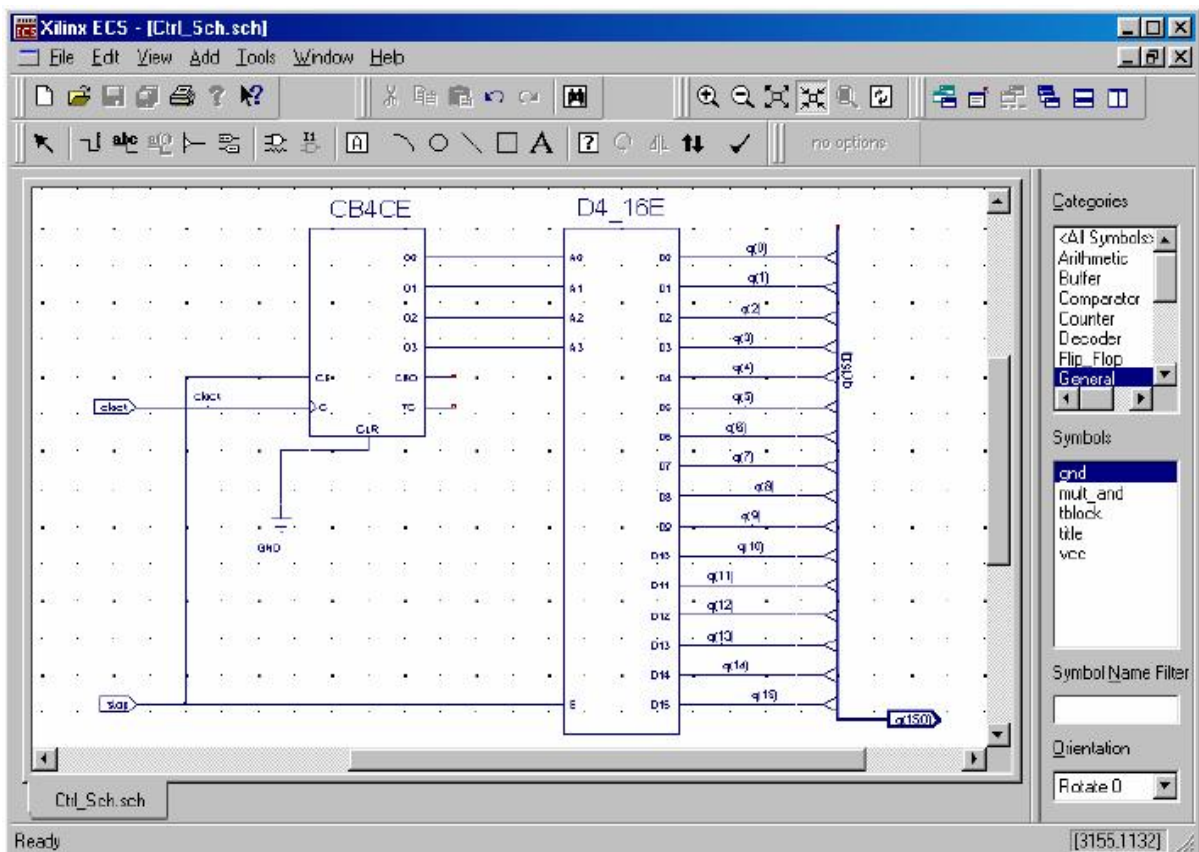


Рис.13. Принципиальная схема устройства последовательного выбора.

используются операции удаления, перемещения и копирования элементов схемы. Эти процедуры выполняются в режиме выбора объекта схематехнического редактора ECS, который автоматически активизируется при отмене большинства операций или включается при нажатии кнопки



на панели инструментов. Выполнение операций редактирования начинается с указания соответствующего объекта. Для выделения элемента схемы нужно поместить курсор на его изображение и щелкнуть левой кнопкой мыши. Для отмены выделения следует щелкнуть левой клавишей мыши на свободном поле чертежа.

На рис. 13 приведена завершенная схема, промежуточные этапы рисования которой рассмотрены выше.

Работа с текстовым редактором

Как было сказано выше, пакет WebPack ISE поддерживает описание

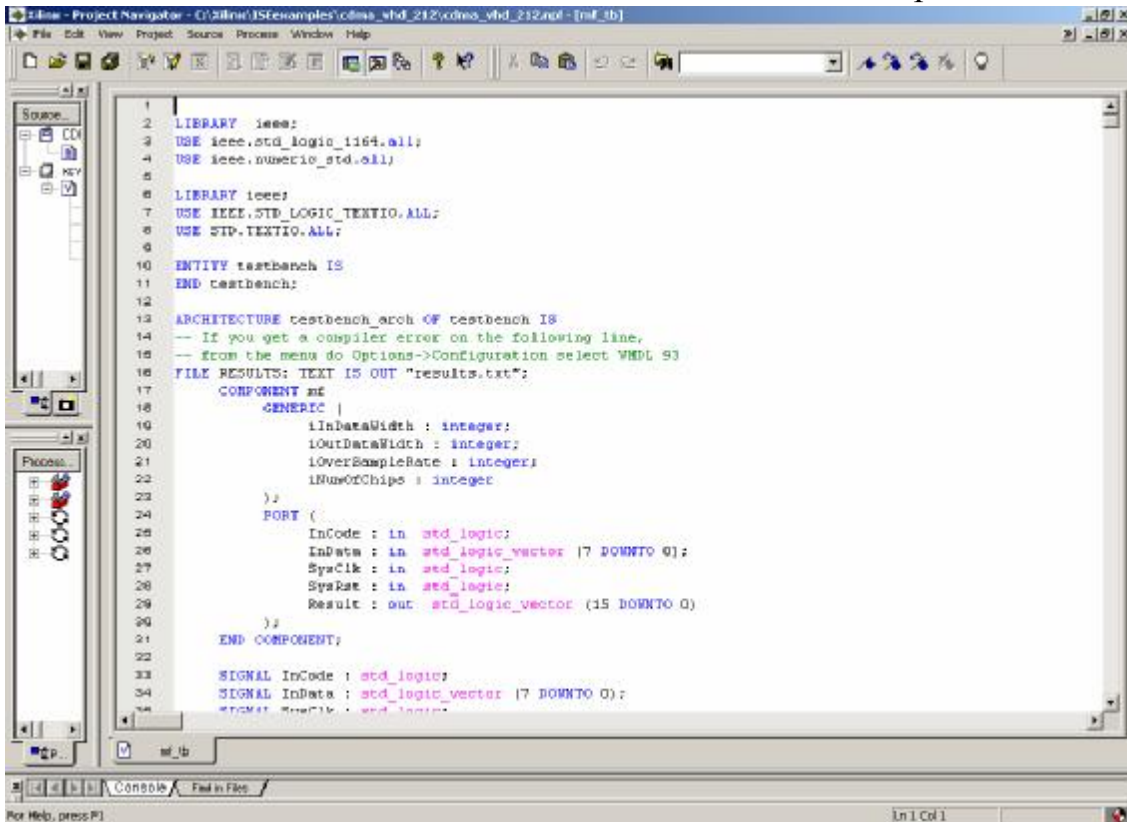


Рис. 14. Редактор текстовых описаний проекта

принципиальных схем в формате HDL (Hardware Description Language). В одном проекте могут присутствовать как схематехнические, так и текстовые модули (на языке VHDL, Verilog, ABEL). Для создания и подключения к проекту текстового модуля необходимо выбрать команду *New Source* из раздела *Project* основного меню. В открывшейся диалоговой панели,

показанной на рис. 8, необходимо выбрать **VHDL module**. Откроется окно текстового редактора, внешний вид которого изображен на рис. 14. Проверка синтаксиса, описание временных ограничений, вызов программы моделирование ModelSim и другие необходимые действия вызываются из окна процессов.

Задание топологических и временных ограничений проекта

Программы синтеза, размещения и трассировки используют дополнительную информацию, которая не содержится в принципиальной схеме устройства. К топологическим свойствам проекта относится в первую очередь распределение внешних выводов между портами, определенными в схеме. Современные ПЛИС дают возможность подключать любой сигнал проекта к произвольному выводу микросхемы (кроме выводов специального назначения, функции которых обычно фиксированы). Под временными ограничениями подразумевают в первую очередь ограничения на задержки распространения отдельных сигналов или их групп. Для глобальных тактовых входов, состояние которых управляется внешними генераторами, определяется частота этих генераторов. Для задания подобной информации не существует стандартных схмотехнических элементов, языки описания аппаратуры тоже не имеют таких средств. Поэтому топологические и временные ограничения задаются в специальном файле, имя которого совпадает с именем проекта, а расширение .ucf. (аббревиатура от User Constraints File) Чтобы приступить к редактированию файла UCF,

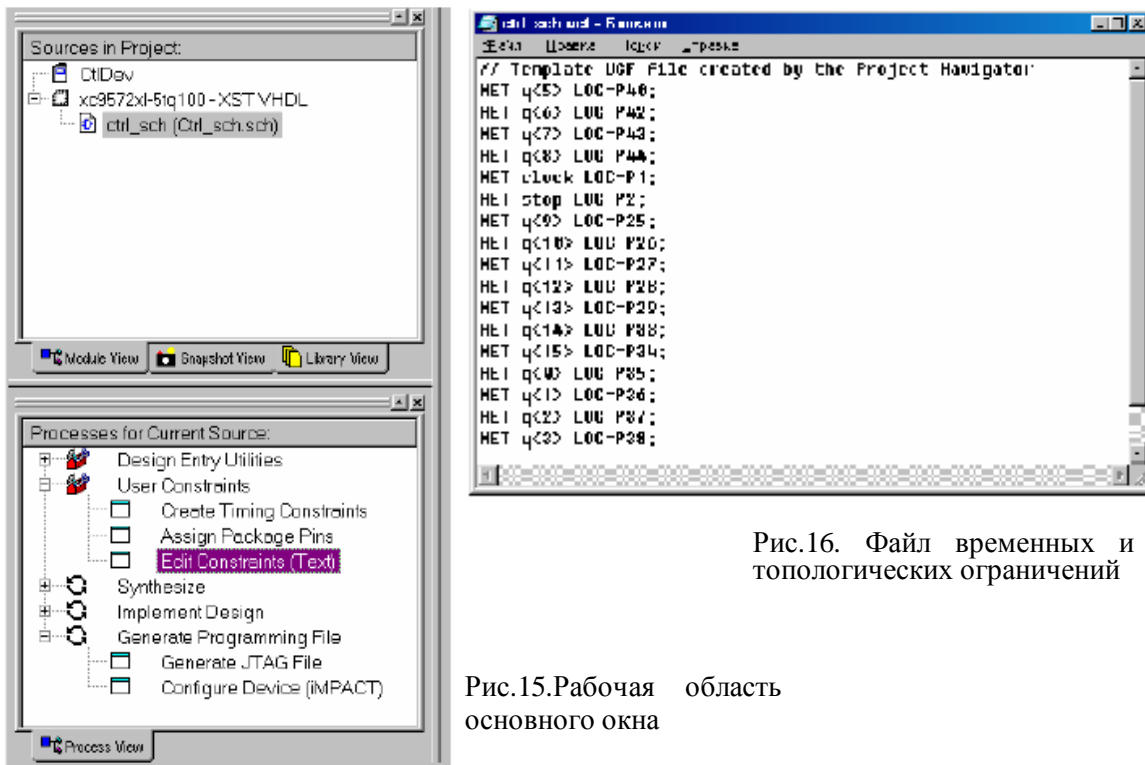


Рис.16. Файл временных и топологических ограничений

Рис.15.Рабочая область основного окна

необходимо в окне исходных модулей *Навигатора проекта* щелчком левой кнопки мыши выделить строку с названием модуля верхнего уровня иерархии, после чего в окне процессов развернуть "User Constraints".

Для изменения файла UCF в текстовом редакторе, следует дважды щелкнуть левой кнопкой мыши на строке "Edit Constraints (Text)" (рис. 15), в результате чего открывается окно редактирования, в котором представлен файл ограничений или его шаблон, создаваемый автоматически для нового проекта (рис. 16). Чтобы выполненные изменения вступили в силу, необходимо сохранить файл UCF на диске командой *Файл/Сохранить*. В качестве примеров рассмотрим форматы выражений, описывающих наиболее часто используемые ограничения. Параметр LOC позволяет осуществить закрепление выводов перед трассировкой. Для привязки "внешних" цепей проекта (подключаемых к контактам кристалла) к требуемым выводам ПЛИС используется следующий формат выражения

NET <название_цепи> LOC=<номер_вывода_ПЛИС>;

например, NET clock LOC = P1;

Значение периода сигнала синхронизации для соответствующей цепи проекта задается с помощью параметра PERIOD. Сокращенный формат записи выражения ограничения имеет вид

NET <название_цепи_синхронизации> PERIOD = <длительность_периода> ;

например, NET clock PERIOD=20ns;.

Синтез проекта

После подготовки принципиальной схемы и файла ограничений UCF можно приступить к выполнению синтеза, в процессе которого из файлов HDL-описаний проектируемого устройства формируется файл списка соединений в формате EDIF (Electronic Data Interchange Format). Синтезированный файл представляет собой текстовое (ASCII) описание проекта, но на более низком логическом уровне в формате, воспринимаемом программами трассировки Xilinx. При этом принципиальная схема проекта автоматически преобразуется в HDL-формат, соответствующий выбранным средствам синтеза.

Прежде чем непосредственно активизировать процесс синтеза, можно изменить значения его параметров. Для этого нужно в окне процессов щелчком левой кнопки мыши выделить строку *Synthesize*, после чего нажать кнопку , расположенную на оперативной панели Навигатора проекта, или воспользоваться командой **Properties** контекстно-зависимого всплывающего меню, которое выводится при щелчке правой кнопки мыши. В результате выполненных действий на экране монитора отображается диалоговая панель параметров синтеза, вид которой показан на рис. 17.

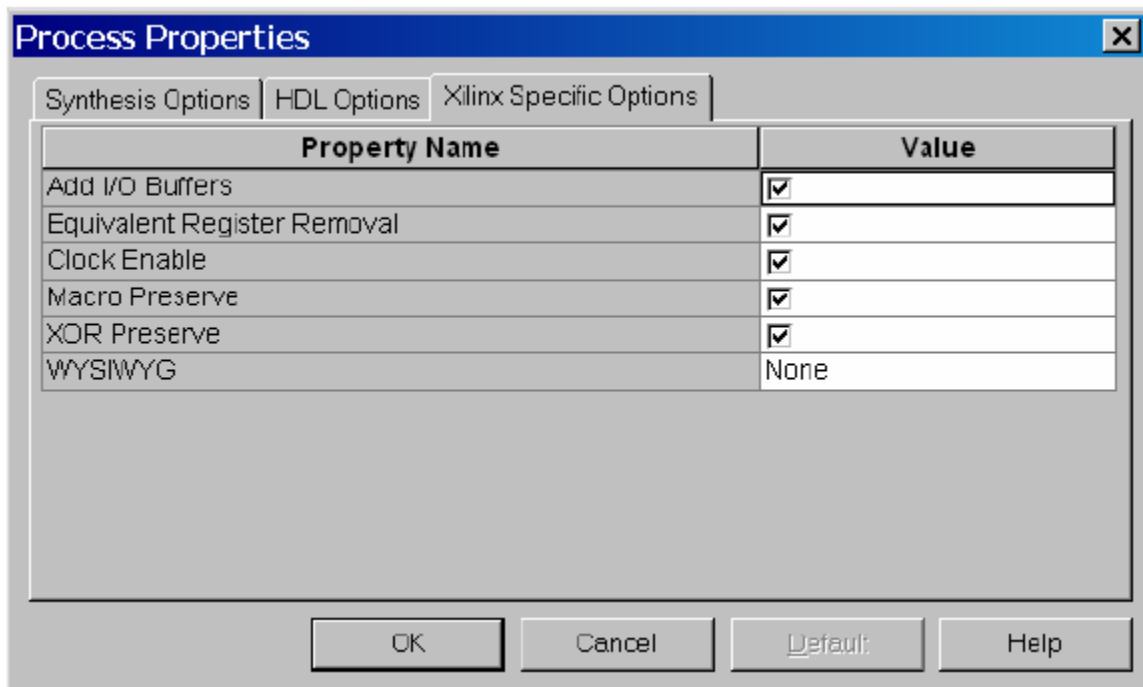


Рис.17. Диалоговая панель параметров синтеза

Эта диалоговая панель содержит три страницы, снабженные закладками с их названиями: "Synthesis options", "HDL options" и "Xilinx Specific options". Каждая из этих страниц содержит соответствующую группу параметров, представленных в виде таблицы. В процессе обучения рекомендуется не изменять значения параметров, установленные по умолчанию.

Процесс синтеза активизируется двойным щелчком левой кнопки мыши на строке "Synthesize" в окне процессов *Навигатора проекта*. Информация о ходе его выполнения отображается в окне консольных сообщений. После завершения этого процесса, отмеченного соответствующей пиктограммой в строке Synthesize, можно открыть отчет о результатах синтеза, дважды щелкнув левой кнопкой мыши на строке View Synthesize Report.

Размещение и трассировка проекта

Этап размещения и трассировки проектов включает в себя две фазы: трансляции и распределения ресурсов кристалла для реализации проектируемого устройства. В процессе трансляции выполняется объединение всех списков соединений в формате EDIF, входящих в состав проекта, и информации обо всех ограничениях, которая содержится в файлах UCF. Результатом фазы трансляции является формирование логического описания проекта в терминах примитивов Xilinx низкого уровня с учетом временных и топологических ограничений. На второй стадии рассматриваемого этапа производится разбиение логического описания

проекта, полученного на предыдущем шаге, на блоки в соответствии с ресурсами выбранного типа ПЛИС. При этом выполняется оптимизация с целью минимизации используемых ресурсов кристалла с учетом заданных ограничений. В результате выполнения этапа размещения и трассировки создается двоичный файл, который описывает использование физических ресурсов кристалла для реализации функций проектируемого устройства. Перед выполнением процедур рассматриваемого этапа можно установить значения их параметров тем же способом, что и для процесса синтеза. Однако на первых порах рекомендуется оставить значения, установленные по умолчанию. Далее следует активизировать процесс размещения и трассировки двойным щелчком левой кнопки мыши на строке *Implement Design* в окне процедур *Навигатора проекта*. Информация о ходе его выполнения отображается в окне консольных сообщений. Завершение выполнения каждой фазы этого процесса отмечается соответствующей пиктограммой в строке с ее названием и сопровождается отчетом о полученных результатах. Для просмотра отчета о выполнении трансляции следует дважды щелкнуть левой кнопкой мыши на строке *Translation Report*. В качестве примера ниже приведен отчет о выполнении трансляции проекта, синтез которого рассмотрен в предыдущем разделе. Отчет содержит информацию о каждом шаге трансляции (преобразовании EDIF-описаний в формат Xilinx NGD, проверке временных спецификаций, верификации логической структуры проекта), а также об ошибках и предупреждениях.

Программирование кристаллов

Прежде чем приступить к программированию ПЛИС, необходимо преобразовать результаты, полученные на этапе размещения и трассировки проекта в кристалл, в формат, воспринимаемый средствами программирования. Для создания конфигурационной последовательности (файла программирования) следует дважды щелкнуть левой кнопкой мыши на строке *"Generate Programming File"*, расположенной в окне процессов *Навигатора проекта* (рис. 9). Информация о ходе его выполнения отображается в окне консольных сообщений и строке состояния. После успешного завершения этого процесса, отмеченного соответствующей пиктограммой в строке *"Generate Programming File"*, можно приступать непосредственно к программированию ПЛИС. Для конфигурирования ПЛИС, выпускаемых фирмой Xilinx, требуется загрузочный кабель.

Прежде чем приступить непосредственно к работе с модулем программирования ПЛИС *iMPACT*, который входит в состав пакета WebPACK ISE, необходимо присоединить загрузочный кабель к соответствующему порту ПК и макетной плате. После этого следует подать напряжение питания на разработанное устройство. Такая последовательность обеспечивает возможность автоматического обнаружения и инициализации загрузочного кабеля и кристаллов ПЛИС при активизации программы *iMPACT*. Если загрузочный кабель подключается после запуска модуля программирования, то в этом случае необходимо выполнить операции

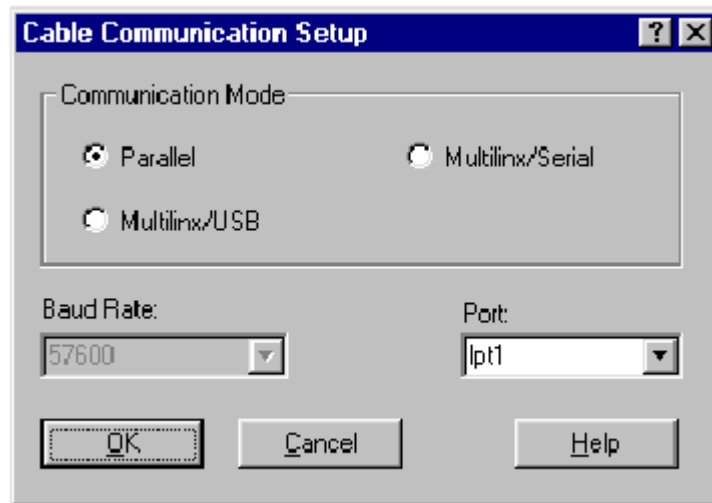


Рис. 18. Окно настройки загрузочного кабеля.

установки типа и параметров используемого кабеля.

Далее следует активизировать модуль программирования двойным щелчком левой кнопки мыши на строке "*Configure Device (iMPACT)*" в окне процедур *Навигатора проекта*. Работа программы *iMPACT* в этом случае начинается с обнаружения загрузочного кабеля. Если программе не удастся автоматически идентифицировать загрузочный кабель, то после соответствующего предупреждения выводится диалоговая панель ручной установки его параметров, вид которой представлен на рис. 18.

В этой панели необходимо последовательно установить следующие параметры:

- *Communication Mode* - вид интерфейса, используемого для коммутации с ПК (тип загрузочного кабеля): **Parallel**;
- *Port* - номер порта, к которому подключен кабель загрузки : **LPT1**.

При успешном обнаружении присоединенного загрузочного кабеля производится автоматический поиск и инициализация устройств, которые могут быть запрограммированы. На макетной плате имеется два таких

устройства – ПЛИС **XC2S50** и конфигурационная Flash-память **XCV01**. Поскольку конфигурационная память ПЛИС построена на статической памяти, содержимое которой не сохраняется после выключения питания, на плату установлена схема энергонезависимой Flash-памяти. Эти две схемы соединены в последовательную цепочку и программируются одинаковым образом. Обнаруженные устройства отображаются в графическом формате в рабочей области основного окна и в текстовом виде в окне регистрации сообщений программы *iMPACT* (рис.21). Для программирования ПЛИС необходимо выбрать кристалл, поместив на него курсор и щелкнув левой кнопкой мыши, после чего выполнить команду *Program* из меню *Operations* или контекстно-зависимого всплывающего меню, после активизации которой

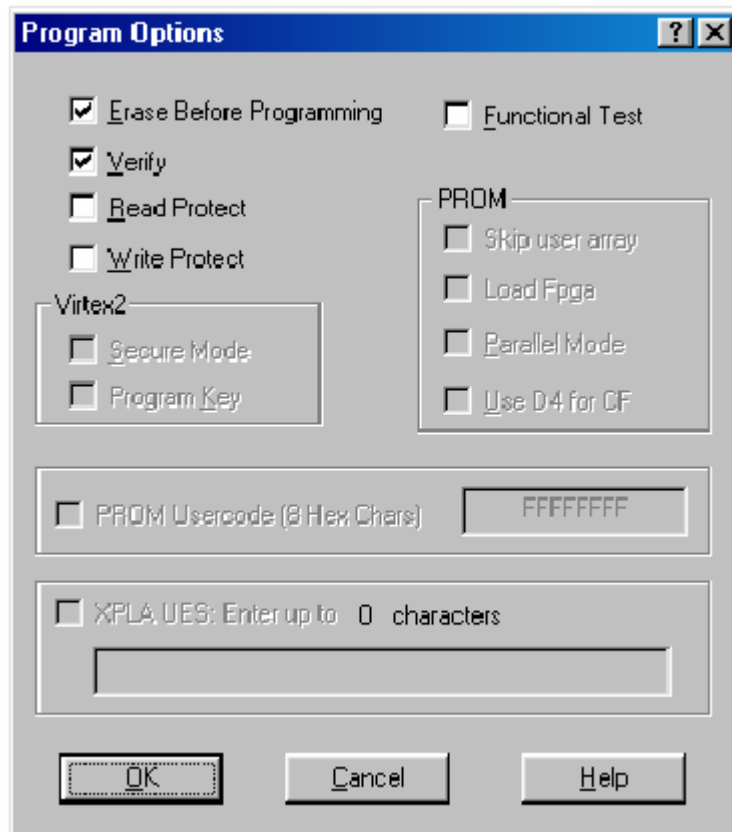


Рис. 19. Панель настройки параметров загрузки ПЛИС

на экран выводится диалоговая панель параметров загрузки (рис. 19).

Эта панель содержит группу общих параметров программирования кристаллов и группы опций, относящихся к конкретным семействам ПЛИС (последние относятся только к схемам серии Virtex2).

Параметр *Erase Before Programming* позволяет разработчику установить режим предварительного "стирания" конфигурационных данных,

находящихся во внутренней энергонезависимой памяти кристалла, перед его программированием.

Значение параметра *Verify* определяет использование операции контроля конфигурационных данных в ходе программирования ПЛИС.

Параметр *Read Protect* предназначен для установки защиты от несанкционированного чтения (копирования) загружаемых конфигурационных данных. Программирование ПЛИС с использованием защиты от чтения устанавливает код секретности, который "сбрасывается" только при выполнении операции полного "стирания".

С помощью параметра *Write Protect* разработчику предоставляется возможность установки защиты от случайного перепрограммирования ПЛИС.

После установки всех необходимых значений параметров следует подтвердить их нажатием кнопки "ОК" в нижней части диалоговой панели (рис. 19), что приводит к запуску операции программирования выбранного кристалла. Завершение процесса конфигурирования отмечается соответствующими сообщениями в рабочей области и окне регистрации сообщений программы *iMPACT*.

Описание лабораторного макета

Лабораторный макет разработан для использования в учебном процессе, однако может применяться и для решения инженерных задач. Макет содержит ПЛИС XC2S50, то есть схему Spartan-II с эквивалентной логической емкостью 50 тыс. вентилях. Такой емкости вполне достаточно для построения сложных автоматов или средних систем обработки данных (фильтры, анализаторы спектра и т.д.). Для хранения конфигурации кристалла предусмотрена Flash-память XC18V01. Для проектирования синхронных устройств на плате имеется генератор, частота работы которого составляет 40МГц или 80МГц. Большинство внешних выводов ПЛИС соединяются с универсальными внешними разъемами. К этим разъемам можно подключать различные внешние устройства, осциллографы, логические анализаторы. Кроме того, можно использовать макет в качестве модуля, работающего в составе какого-либо другого оборудования. Связь с компьютером или с другими макетами может осуществляться через последовательный порт, совместимый с RS-232. Для удобства интерактивной работы на плате установлены 2 кнопки, назначение которых программируется пользователем, а также 4 светодиода. Для работы требуется единственный внешний источник питания +5В. Все остальные необходимые напряжения вырабатываются непосредственно самим модулем с помощью линейных стабилизаторов.



Рис.20 Структурная схема макета

На рис. 20 приведена структурная схема лабораторного макета.

Приложение 1. Библиотека встроенных компонентов WebPack ISE

Панель компонентов схемотехнического редактора ECS содержит большое количество компонентов, отсортированных по функциональным категориям. Ниже приводится неполный список тех компонентов, которые определены для семейства Spartan-II.

Арифметические функции

Существует три типа арифметических функций: аккумуляторы (ACC), сумматоры (ADD) и сумматоры/вычитатели (ADSU).

ACC4,8,16 – 4, 8, 16 бит аккумулятор. Имеет входной бит переноса (CI), выходной флаг переноса (CO), флаг переполнения (OFL). Следующий VHDL-код иллюстрирует принцип работы ACC4.

```
architecture Behavioral of acc4 is
begin
process(C)
begin
if (R = '1') then
Q <= (others => '0');
elsif (C'event and C = '1') then
if (L = '1') then
Q <= D;
elsif (CE = '1') then
if (ADD = '1') then
Q <= Q + B;
else
Q <= Q - B;
end if;
end if;
end if;
end process;
end Behavioral;
```

ADD4,8,16 – 4, 8, 16 бит полный сумматор. Имеет входной бит переноса (CI), выходной флаг переноса (CO), флаг переполнения (OFL). Следующий VHDL-код иллюстрирует принцип работы ADD4.

```
architecture Behavioral of ADD is
signal sum: std_logic_vector(WIDTH-1 downto 0);
signal zeros: std_logic_vector(WIDTH-1 downto 0) := (others => '0');
begin
process (CI, A, B, sum)
```



```

begin
sum <= ('0' & A) + ('0' & B) + (zeros & CI);
S <= sum(WIDTH-1 downto 0);
CO <= sum(WIDTH);
end process;
end Behavioral;

```

ADSU4,8,16 – 4, 8, 16 бит сумматор/вычитатель. Имеет входной бит переноса (CI), выходной флаг переноса (CO), флаг переполнения (OFL). Следующий VHDL-код иллюстрирует принцип работы ADSU4.


```

architecture Behavioral of adsu4 is
begin
process (A,ADD,B)
begin
if (ADD='1') then
S <= A + B;
else
S <= A - B;
end if;
end process;
end Behavioral;

```

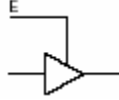
Буферы

Буферы служат для ввода сигналов в кристалл, для вывода сигналов, для организации внутри кристалла шин с третьим состоянием, а также как формальный элемент на схеме, не выполняющий никаких преобразований сигналов.

BUF – буфер общего применения. Обозначается символом  на схеме. Не выполняет никаких действий над входным сигналом. Может использоваться в схемотехническом редакторе, однако при трассировке схемы удаляется.

BUFCF - связь на схеме, которая содержит данный элемент, реализуется с помощью локальных трассировочных ресурсов, соединяющих соседние функциональные генераторы. Это уменьшает временную задержку. Данный элемент следует использовать осторожно, поскольку не всякая схема может быть реализована с помощью локальных связей (подробности содержатся в техническом описании).

BUFE, BUFE4,8,16 - буферы с третьим состоянием. Обозначается



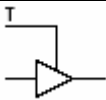
символом на схеме. Когда $E=1$, буфер активен, когда $E=0$, то выход буфера находится в третьем (высокоимпедансном) состоянии.

BUFG – буфер глобальной тактовой шины, служащей для распределения сигналов синхронизации. Обычно управляется компонентом **IBUFG** или **CLKDLL**, однако может также управляться компонентом **IBUF** или встроенной логикой.

BUFGDLL – буфер глобальной тактовой шины. Представляет собой комбинацию компонентов **IBUFG**, **CLKDLL** и **BUFG**. Выводит сигнал с соответствующего внешнего вывода микросхемы непосредственно на глобальную шину. При этом осуществляется выравнивание фронтов, то есть сигнал на глобальной шине отстает от внешнего сигнала ровно на период. Этот компонент рекомендуется использовать вместо трех указанных для упрощения читаемости схемы.

BUFGP – буфер глобальной тактовой шины. Представляет собой комбинацию компонентов **IBUFG** и **BUFG**. Функционально работает так же, как компонент **BUFGDLL**, однако не производит выравнивание фронтов. Соответственно, отсутствует длительный переходной процесс, который вносит компонент **CLKDLL**.

BUFT, BUFT4,8,16 - буферы с третьим состоянием. Обозначается



символом на схеме. Когда $T=0$, буфер активен, когда $T=1$, то выход буфера находится в третьем (высокоимпедансном) состоянии. Данный элемент отличается от **BUFE** только полярностью управляющего сигнала.

Компараторы

COMP2,4,8,16 – двоичный компаратор. Тестирует аргументы на равенство. Выходной сигнал **EQ** принимает значение **1** только если входные аргументы **A** и **B** побитно совпадают. Следующий VHDL-код иллюстрирует принцип работы **COMP2**.

```
architecture behavioral of comp2 is
begin
process (A, B)
begin
```

```

If (A=B) then
EQ <= '1';
else
EQ <= '0';
end if;
end process;
end behavioral;

```

COMP2,4,8,16 – компаратор. Воспринимает аргументы как беззнаковые целые. Определяет, какой из аргументов больше, а какой меньше. Выход **GT** соответствует **1** если **A>B**, выход **LT=1** если **A<B**. Если **A=B**, то **GT=LT=0**. Следующий VHDL-код иллюстрирует принцип работы **COMP2**

```

architecture Behavioral of compm2 is
begin
process (A,B)
begin
if (A>B) then
GT <= '1';
LT <= '0';
elsif (A<B) then
GT <= '0';
LT <= '1';
else
GT <= '0';
LT <= '0';
end if;
end process;
end Behavioral;

```

COMPMS8,16 – функционируют аналогично **COMP8** и **COMP16**, однако имеют более оптимальную внутреннюю структуру, что повышает быстроедействие данных элементов. Рекомендуется для проектов, работающих на высокой тактовой частоте (около 100 МГц).

Счетчики

Библиотека компонентов содержит большое количество всевозможных счетчиков. Названия компонентов, соответствующих различным типам счетчиков, формируются по следующей системе:

C B 16 C L E D - символ аббревиатуры
 1 2 3 4 5 6 7 - № поля

№ поля	Описание
1	Признак счетчика
2	Тип: В-двоичный, D- двоично-десятичный, С – двоичный с переносом (для каскадного соединения нескольких счетчиков), J-счетчик Джонсона
3	Разрядность (количество бит)
4	С – асинхронный сброс, R – синхронный сброс
5	Счетчик с предварительной загрузкой (Loadable)
6	Счетчик с разрешающим входом (Clock Enable)
7	Счетчик с изменением направления счета (Directional)

Декодеры

D2 4E – линейный декодер 2x4 с разрешающим входом. Выполняет преобразование двоичного кода в код 1 из N. Поведение компонента описывается следующим образом:

architecture Behavioral of d2_4e is

begin

process (A, E)

begin

if (E='0') then

D <= "0000";

else

case A is

when "00" =>

D <= "0001";

when "01" =>

D <= "0010";

when "10" =>

D <= "0100";

when "11" =>

D <= "1000";

when others =>

D <= "0000";

end case;

end if;

end process;

end Behavioral;

D3 8E – линейный декодер 3x8 с разрешающим входом

D4 16E – линейный декодер 4x16 с разрешающим входом

Триггеры

Из-за большого количества используемых типов триггеров, приведем только правила, по которым формируются названия компонентов.

FD8PE1 - символ аббревиатуры

1 2 3 4 5 6 - № поля

№ поля	Описание
1	Общее для всех триггеров поле
2	Тип: D – D-триггер, JK – JK-триггер, T – счетный триггер
3	Кол-во триггеров(для регистров)
4	P – асинхронная установка, C – асинхронный сброс, S – синхронная установка, R – асинхронная установка
5	Разрешающий вход
6	Инвертированный тактовый вход (срабатывание по заднему фронту)

Триггеры-защелки

Имена компонентов для триггеров-защелок формируются по следующему правилу:

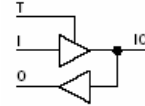
LD8PE1 - символ аббревиатуры

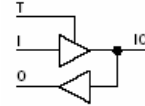
1 2 3 4 5 - № поля

№ поля	Описание
1	Общее для всех триггеров поле
2	Число защелок в регистре
3	P – асинхронная установка, C – асинхронный сброс
4	Наличие разрешающего входа
5	Инвертированный тактовый вход (срабатывание по заднему фронту)

Функции ввода/вывода

IBUF, IBUF4,8,16 – входные буферы, которые управляются непосредственно от внешних выводов.



IOBUF – двунаправленный буфер, обозначается символом  и состоит из двух буферов – выходного буфера с третьим состоянием **OBUFT** и входного **IBUF**. Соединяется с внешним выводом, который должен быть сконфигурирован как двунаправленный.

IBUFG – входной буфер для глобальных сигналов тактирования. Может управляться только непосредственно от внешнего вывода и в свою очередь управляет компонентами **BUFG** или **CLKDLL**.

OBUF, OBUF4,8,16 – выходные буферы, которые должны управлять внешними выводами.

OBUFE, OBUFE4,8,16 – выходной буфер с третьим состоянием. Функционирует аналогично **BUFE**

OBUFT, OBUFT4,8,16 – выходной буфер с третьим состоянием. Функционирует аналогично **BUFT**.

Логические примитивы

Логические примитивы содержат базовый набор комбинационных функций.

AND2-9 – логическое умножение. Имеет от 2 до 9 входов соответственно. Часть входов могут быть инвертированными. Например, **AND5B3** – 5-входовое логическое **И**, у которого 3 входа являются инвертированными.

AND12,16 – логическое умножение (соответственно 12 и 16-входов). Все входы являются неинвертированными.

INV, INV4,8,16 – логические инверторы.

NAND2-9 – данный компонент выполняет логическую операцию NAND, которая является комбинацией логического умножения и инверсии. Часть входов могут быть инвертированными. Например, **NAND5B3** – 5-входовое логическое **И-НЕ**, у которого 3 входа являются инвертированными.

NAND12,16 – логическое **И-НЕ** (соответственно 12 и 16 входов). Все входы являются неинвертированными.

NOR2-9 – логическое **ИЛИ-НЕ**. Часто такой элемент называется элементом Пирса. Часть входов могут быть инвертированными. Например, **NOR5B3** – 5-входовое логическое **ИЛИ-НЕ**, у которого 3 входа являются инвертированными.

NOR12,16 – логическое **ИЛИ-НЕ** (соответственно 12 и 16 входов). Все входы являются неинвертированными.

OR2-9 – логическое сложение. Часть входов может быть инвертированными. Например, **OR5B3** – 5-входовое логическое **ИЛИ-НЕ**, у которого 3 входа являются инвертированными.

OR12,16 – логическое сложение (соответственно 12 и 16 входов). Все входы являются неинвертированными.

XNOR2-9 – **исключающее ИЛИ** с инвертированным выходом и от 2 до 9 входами. Не имеет вариантов с инвертированными входами.

XOR2-9 – **исключающее ИЛИ**. Имеет от 2 до 9 входов, все входы неинвертированные.

Элементы памяти

Архитектура Spartan-II предусматривает возможность организации функциональных генераторов (LUT) в виде однопортового или двухпортового запоминающего устройства. Кроме того, на периферии кристалла расположена статическая двухпортовая синхронная так называемая блочная память. Для каждого порта независимо задается ширина шины данных (1, 2, 4, 8 или 16 бит).

Элементы памяти, построенные на базе функциональных генераторов, обозначаются следующим образом:

RAM 16X1 D 1 - символ аббревиатуры

1 2 3 4 - № поля

№ поля	Описание
1	RAM – оперативная память, ROM – ПЗУ
2	Организация памяти. 16X1 – 16 слов по 1 биту
3	S – однопортовая, D – двухпортовая
4	_1 – инвертированный тактовый сигнал

Компоненты, использующие блочную память (блоки объемом 4096 бит), обозначаются следующим образом:

RAMB4 Sn – однопортовая синхронная память, построенная на основе блочного ЗУ. **n** может принимать значения 1, 2, 4, 8 или 16 и обозначает соответственно ширину шины данных.

RAMB4 Sm Sn – двухпортовая синхронная память, построенная на основе блочного ЗУ. **m** и **n** могут принимать значения из ряда 1, 2, 4, 8, 16.

Мультиплексоры

В библиотеке компонентов существуют как мультиплексоры общего назначения, так и мультиплексоры специального назначения, например, используемые логикой ускоренного переноса. Для целей обучения достаточно использования только мультиплексоров общего назначения, которые обозначаются следующим образом:

M 2 1 B1 E- символ аббревиатуры

1 2 3 4 - № поля

№ поля	Описание
1	M – обозначение мультиплексора
2	Организация мультиплексора. 2_1 – мультиплексор 2*1
3	Количество инвертированных входов
4	Наличие разрешающего входа. Когда на разрешающем входе 0, то на выходе тоже 0 независимо от состояний других входов

Сдвиговые регистры

Обозначения, используемые для сдвиговых регистров, отображены на следующей схеме:

SR 8 R L E D - символ аббревиатуры

1 2 3 4 5 6 - № поля

№ поля	Описание
1	SR – обозначение сдвигового регистра
2	Разрядность (кол-во бит в цепочке)
3	R – синхронный сброс, C – асинхронный сброс
4	L – возможность предварительной загрузки
5	E – разрешающий вход (разрешает работу регистра при поступлении тактового сигнала)
6	D – возможность изменения направления сдвига

Ниже для примера приводится функциональное описание компонента **SR4RLED** на языке VHDL

```
architecture Behavioral of sr4rled is
begin
process(C)
begin
if (C'event and C='1') then
if (R='1') then
Q <= (others => '0');
elsif (CE='1') then
if (L='1') then
Q <= D;
else
if (LEFT='1') then
Q <= Q(WIDTH-2 downto 0) & SLI;
else
Q <= SRI & Q(WIDTH-1 downto 1);
end if;
end if;
end if;
```



```
end if;  
end if;  
end process;  
end Behavioral;
```

Другие компоненты

GND – символ сигнальной земли. Используется для задания логического **0**.

KEEPER – компонент подключает к внешнему выводу схему удержания последнего состояния (см. архитектуру блока ввода-вывода)

PULLDOWN – подтягивающий резистор, используется для подтягивания внешнего вывода к состоянию логического **0** в отсутствии активных источников (см. архитектуру блока ввода-вывода).

PULLUP – подтягивающий резистор, используется для подтягивания внешнего вывода к состоянию логической **1** в отсутствии активных источников (см. архитектуру блока ввода-вывода).

VCC – символ, задающий значение логической **1**.

Литература

1. Бибило П.Н. Основы языка VHDL / П.Н. Бибило. – М.: Солон-Р, 1999. – 200 с.
2. Программируемые логические ИМС на КМОП-структурах и их применение / П.П. Мальцев, Н.И.Гарбузов, А.П. Шарапов, А.А. Кнышев. – М.: Энергоатомиздат, 1998. – 158 с.
3. Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов / В.Б. Стешенко. – М.: Додека, 2000. – 128 с.
4. Соловьев В.В. Проектирование цифровых систем на основе программируемых логических интегральных схем / В.В. Соловьев. – М.: Горячая линия – Телеком, 2001. – 636 с.
5. Соловьев В.В. Программируемые логические интегральные схемы и их применение / В.В. Соловьев, А.Г. Васильев. – Минск.: Белорусская наука. – 270 с.
6. Шалыто А.А. Методы аппаратной и программной реализации алгоритмов / А.А. Шалыто. – СПб.: Наука, 2000. – 780 с.
7. Угрюмов Е.П. БИС/СБИС с репрограммируемой структурой: Учеб. Пособие / Е.П. Угрюмов, Р.И. Грушвицкий, А.Н. Альшевский. – СПб.: ГЭТУ, 1997. – 96 с.
8. Грушвицкий Р.И. Проектирование систем на микросхемах программируемой логики / Р.И. Грушвицкий, А.Х. Мурсаев, Е.П. Угрюмов. – СПб.: БХВ-Петербург, 2002. – 608 с.: ил.
9. VHDL для моделирования, синтеза и формальной верификации аппаратуры: Сб. Статей / Под. ред. Ж. Мермье; Пер. с англ. В.В. Торопкова и Т.С. Грудовой. – М.: Радио и связь, 1995. – 360 с.
10. VHDL'92. Новые свойства языка описания аппаратуры VHDL / Ж.-М. Берже, А. Фонкуа, С. Мажено, Ж. Руйар; Пер. с англ. А.И. Тихонова; Под. ред. В.М. Михова. – М.: Радио и связь, 1995. – 256 с.
11. Автоматизация проектирования БИС. В 6 кн.: Практ. Пособие / Под. ред. Казеннова. – М.: Высш. шк., 1990.
12. Угрюмов Е.П. Цифровая схемотехника / Е.П. Угрюмов. – СПб.: БХВ-Петербург, 2000. – 528 с.

Составители:

Бобрешов Анатолий Михайлович,
Дыбой Александр Вячеславович,

Редактор Тихомирова О.А.